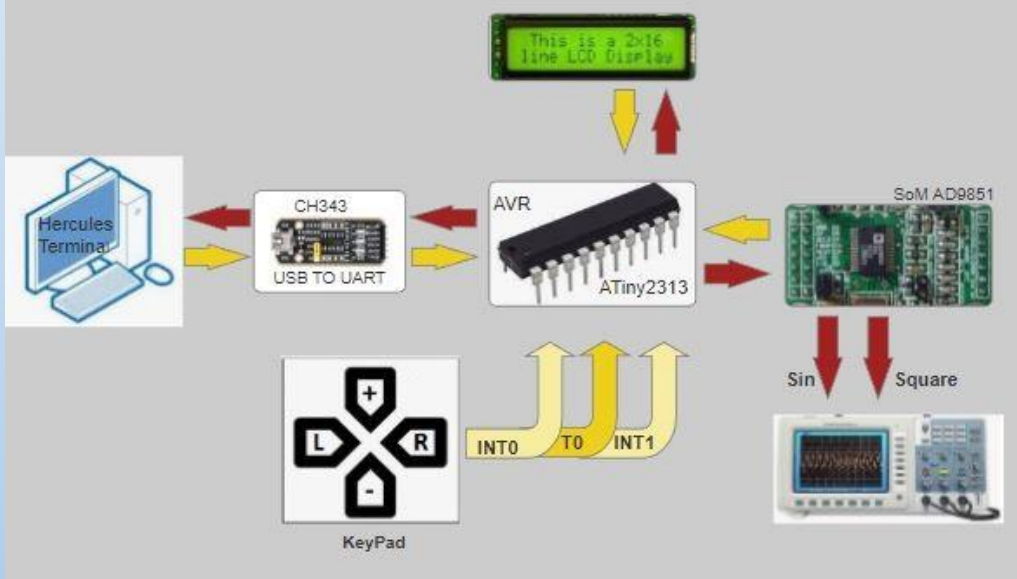




ΑΤΕΙ ΘΕΣΣΑΛΟΝΙΚΗΣ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΩΝ
ΜΗΧΑΝΙΚΩΝ

Μελέτη σχεδίαση και κατασκευή κυκλώματος γεννήτριας ακουστικού ημιτονικού σήματος εξόδου με ψηφιακή σύνθεση (DDS) και χρήση μικροελεγκτή AVR



Συντάκτης : Σωτηρίου Γεώργιος ΚΑΣ: 502317
Επιβλέπων : Γιακουμής Αγγελος

Περιεχόμενα

ΚΕΦΑΛΑΙΟ 1 ^ο ΕΙΣΑΓΩΓΙΚΕΣ ΕΝΝΟΙΕΣ.....	7
Γενικά.....	7
Ταλαντώσεις.....	7
Χαρακτηριστικά Ταλαντώσεων.....	8
Είδη ταλαντώσεων.....	8
Κυματική και διάδοση ήχου στον αέρα.....	8
Κατηγοριοποίηση ήχου βάση συχνότητας.....	9
Συχνότητα : Ορισμός και μέτρηση.....	9
Βαθμονόμηση και έλεγχος.....	10
Προδιαγραφές συχνότητας.....	11
Αβεβαιότητα.....	11
Σταθερότητα.....	11
Ταλαντωτές χαλαζία.....	13
Ατομικοί Ταλαντωτές.....	15
Εισαγωγή στον αλγόριθμο CORDIC (coordinate rotation digital computer).....	16
Λειτουργία εκτέλεσης ευρέος φάσματος λειτουργιών μέσω περιστροφής.....	16
Μηχανές Πεπερασμένων καταστάσεων FSM.....	17
Τύποι Πεπερασμένων Καταστασιακών Μηχανών.....	18
Διαχωρισμός FSM βάση σχεδίασης . Μηχανές Mealy και Moore:.....	18
Μηχανή Mealy.....	18
Μηχανή Moore.....	18
Εφαρμογές των Πεπερασμένων Καταστασιακών Μηχανών.....	19
Δυαδικοί αριθμοί και κωδικός BCD.....	19
Ο Κωδικός BCD.....	19
Μετατροπή BCD σε δεκαδικό.....	20
Μετατροπή από δεκαδικό σε BCD.....	20
ΚΕΦΑΛΑΙΟ 2 ^ο Θεωρία άμεσης ψηφιακής σύνθεσης.....	21
Γενικά.....	21
Ενότητα 1 Περιγραφή Άμεσης ψηφιακής Σύνθεσης.....	21
Πλεονεκτήματα DDS:.....	22
Θεωρία Λειτουργίας.....	22

Περιγραφή λειτουργικών μπλοκ	26
Ενότητα2. Κατανόηση της δειγματοληπτικής εξόδου μιας συσκευής DDS.....	28
Ενότητα 3. Ικανότητα συχνότητας/αναπήδησης φάσης του DDS.....	29
Προσδιορισμός της μέγιστης ταχύτητας συντονισμού	30
Η διεπαφή ελέγχου DDS.....	31
Προφίλ καταχωρητών	31
Ενότητα4. Η επίδραση της ανάλυσης DAC στην απόδοση ψευδών εικόνων.....	32
Οι επιπτώσεις της υπερδειγματοληψίας στην πλαστική απόδοση.	34
Η επίδραση της περικοπής του συσσωρευτή φάσης στην πλαστική απόδοση.	35
Ρόλος της περικοπής φάσης στο Μέγεθος των spurs	37
Κατανομή spurs λόγω περικοπής φάσης.....	39
Πρόσθετες πηγές DDS Spur	43
Θερμικός θόρυβος και θόρυβος φάσης σε ένα σύστημα DDS	43
Θέματα φιλτραρίσματος εξόδου	46
Η οικογένεια των φίλτρων Chebyshev	48
Η οικογένεια φίλτρων Gaussian	50
Ενότητα 5. Θεωρήσεις ρολογιού αναφοράς.....	52
Άμεση οδήγηση ενός DDS από ρολόι αναφοράς	52
Χρήση κυκλώματος πολλαπλασιαστή εσωτερικού ρολογιού αναφοράς.....	54
Απόδοση DDS SFDR.....	55
Ενότητα 6. Διασύνδεση με την έξοδο DDS	56
Χαρακτηριστικά Εξόδου	56
Σύγκριση μετασηματιστή και συζευγμένης εξόδου ενός άκρου	57
Θεωρήσεις ισχύος εξόδου.....	59
Τερματισμός εξόδου DDS/DAC.....	60
ΚΕΦΑΛΑΙΟ 3 ^ο	61
ΠΑΡΟΥΣΙΑΣΗ ΕΞΑΡΤΗΜΑΤΩΝ.....	61
Γενικά	61
Περιγραφή του Atiny2313	61
Τεχνικά Χαρακτηριστικά	61
Περιγραφή Ακροδεκτών.....	63
Εισαγωγή στον Πυρήνα CPU Αρχιτεκτονικής AVR.....	66

Αρχιτεκτονική Επισκόπηση	66
ALU – Αριθμητική Λογική Μονάδα.....	68
Status Register – Sreg καταχωρητής κατάστασης	68
To X-register, Y-register και Z-register	70
Stack Pointer- Δείκτης σορού – στοίβας	71
Reset and Interrupt Handling - Χειρισμός επαναφοράς και διακοπής.....	72
AVR ATtiny2313 Memories	72
In-System Reprogrammable Flash Program Memory - Επαναπρογραμματιζόμενη μνήμη προγράμματος Flash	73
Μνήμη δεδομένων SRAM	73
Μητρώα I/O γενικής χρήσης	74
Calibrated Internal RC Oscillator- Βαθμονομημένος Εσωτερικός Ταλαντωτής RC.....	75
Power Management and Sleep Modes - Διαχείριση ενέργειας και Λειτουργίες ύπνου	76
Μητρώο ελέγχου MCU – MCUCR	77
Λειτουργία αδράνειας	78
Λειτουργία απενεργοποίησης.....	78
Λειτουργία αναμονής	78
Άμεσος ψηφιακός συνθέτης AD9851 CMOS 180 MHz DDS/DAC.....	79
Τεχνικά χαρακτηριστικά.....	79
Εφαρμογες.....	Error! Bookmark not defined.
Γενική περιγραφή AD9851	79
Σύνοψη προγραμματισμού του AD9851	80
Λειτουργίες καταχωρητών φόρτωσης :	81
Επισημάνσεις κατά τον προγραμματισμό:	81
Έλεγχος και χρονισμός:	82
Οδηγίες για σχεδίαση τυπωμένου κυκλωματος PCB	82
Μονάδα Απεικόνισης LCD.....	82
Περιγραφή ελεγκτή οθόνης HD44780U.....	82
Τεχνικά χαρακτηριστικά του HD44780U.....	83
Περιγραφή ακροδεκτών.....	84
Διάταξη ακροδεκτών.....	85
Διαδικασία Αποστολής Δεδομένων:.....	86

Οργάνωση των ακροδεκτών βάση τρόπου εισαγωγής των δεδομένων :.....	86
Μονάδα ψηφιακού συνθέτη AD9851 SoM.....	86
Περιγραφή συστήματος.....	86
Τεχνικά χαρακτηριστικά.....	87
Μπλοκ Διαγραμμα λειτουργιών.....	88
Σχεδιο τυπωμενου κυκλώματος PCB.....	88
Επιλογή τρόπου διασύνδεσης.....	88
Διασύνδεση ακίδων ελέγχου.....	89
ΚΕΦΑΛΑΙΟ4 ^ο ΥΠΟΛΟΓΙΣΜΟΣ ΛΕΞΗΣ ΣΥΝΤΟΝΙΣΜΟΥ, ΠΡΑΞΕΙΣ ΜΕΤΑΤΡΟΠΗΣ ΚΑΙ ΤΡΟΠΟΙ ΑΠΟΣΤΟΛΗΣ ΔΕΔΟΜΕΝΩΝ.....	90
Γενικά.....	90
Τρόπος υπολογισμού λέξης προς αποστολή στο DDS module.....	90
Εισαγωγή Δεδομένων από Πληκτρολόγιο.....	91
Εισαγωγή δεδομένων από USART.....	91
Πράξη πολλαπλασιασμού.....	91
Μετατροπή BCD σε Binary.....	92
Μετατροπή Binary σε BCD.....	93
Τρόπος διασύνδεσης και αποστολής δεδομένων στην LCD.....	94
Μετάδοση πρώτου nibble.....	95
<i>Μετάδοση δευτέρου nibble μεσο διαμορφωσης R17.</i>	96
Τροπος αποστολής δεδομένων στο DDS.....	97
Τρόπος διασύνδεσης πληκτρολογίου , δημιουργία εξωτερικών διακοπών (ext. Interrupt).....	99
Διαχείριση μνήμης & καταχωρητών . Χάρτης μνήμης.....	99
Διαδρομή δεδομένων εισηγμένων από το Πληκτρολόγιο :.....	100
ΚΕΦΑΛΑΙΟ5 ^ο ΜΕΤΑΓΛΩΤΙΣΤΗΣ ALGORITHM BUILDER.....	102
Γενικά.....	102
Σημειογραφία Algorithm Builder.....	102
Μορφολογία κωδικα στον Algorithm Builder.....	103
Βασικά δομικά στοιχεία Label vertex field και non-conditional Branch.....	104
Απεικόνιση κλάδων.....	105
Γραφικό περιβάλλον Algorithm builder και ανάλυση της δομής προγράμματος.....	106
Κώδικας Αρχικοποίησης MCU.....	108

Κωδικας Αρχικοποίησης DDS	109
Κώδικας USART Transmission	110
Κώδικας Αρχικοποίησης σχεδίασης και επανασχεδίασης LCD , μακροεντολες Delay	111
Κώδικας εξωτερικών interrupt αυξομείωσης τιμής και μεταβολής θέσης	112
Προγραμματισμος Atiny1323.....	112
Τεχνικές Δυνατότητες και Χρήση	113
ΚΕΦΆΛΛΑΙΟ 6 ^ο ΤΥΠΩΜΕΝΟ ΚΥΚΛΩΜΑ ΚΑΙ ΤΕΛΙΚΗ ΜΟΡΦΗ ΦΥΣΙΚΗΣ ΚΑΤΑΣΚΕΥΗΣ	114
Σχεδίαση Τυπωμένου κυκλώματος	114
Φυσική μορφή κατασκευής	115
Περιγραφή αρχικής προσπάθειας σχεδίασης.....	118
Δοκιμή ορθής λειτουργίας Συγκριση με αναλογική γεννήτρια	121
Γενικά	121
Μετρητικό όργανο παλμογράφου.....	121
Πληροφορίες ιχνηλασιμότητας.....	121
Δοκιμές.....	121
Συμπεράσματα	127
Μελλοντικές εφαρμογές.....	127
ΠΑΡΑΡΤΗΜΑ	128
ΚΩΔΙΚΑΣ	128

ΚΕΦΑΛΑΙΟ 1^ο ΕΙΣΑΓΩΓΙΚΕΣ

ΕΝΝΟΙΕΣ

Γενικά

Στο παρόν κεφάλαιο αναλύονται περιληπτικά βασικές έννοιες προκειμένου ο αναγνώστης να μπορεί να κατανοήσει πλήρως την μελέτη και την σχεδίαση του προγράμματος, καθώς και την κατασκευή της εφαρμογής που πραγματεύεται η παρούσα πτυχιακή εργασία ενωπαράλληλα θετεί και τις προδιαγραφές που πρέπει να ακολουθεί η κατασκευή. Έννοιες όπως ταλάντωση, κυματική, αναφέρονται προκειμένου να μπορεί να οριστεί με σαφήνεια η έννοια της συχνότητας.

Εν συνεχεία, μια σχετικά εκτενή αναφορά στην συχνότητα και το πώς αυτή ορίζεται και πιστοποιείται από τον οργανισμό ISO και NIST κρίνεται απαραίτητη προκειμένου στην συνέχεια της εργασίας να μπορεί να τεκμηριωθεί η επιλογή SoM (system on module) στην διαδικασία υλοποίησης της εφαρμογής.

Επιπλέον παρουσιάζονται περιληπτικά έννοιες όπως αλγόριθμος cordic μηχανές πεπερασμένων καταστάσεων FSM και μετατροπή δεκαδικού σε BCD αντίστροφα ώστε ο αναγνώστης να κατέχει, έστω και επιγραμματικά, το μαθηματικό υπόβαθρο που απαιτείται στην κατανόηση της λειτουργίας του τροχού φάσης καθώς και να μπορεί να αντιληφθεί την φιλοσοφία σχεδίασης του υπο-προγράμματος που σχετίζεται με την είσοδο των δεδομένων από Η/Υ μέσω UART όπως και τις αριθμητικές μετατροπές που λαμβάνουν χώρα σε διάφορες υπο-ρουτίνες του προγράμματος.

Ταλαντώσεις

Οι ταλαντώσεις αναφέρονται στις κινήσεις ενός αντικειμένου γύρω από μια θέση ισορροπίας, όταν αυτό επανέρχεται σε αυτήν μετά από μια αρχική διαταραχή. Είναι μια μορφή μεταφοράς και μετατροπής ενέργειας, από μια μορφή σε άλλη, εμφανίζονται σε πληθώρα φυσικών φαινομένων και έχουν εφαρμογές σε πολλούς τομείς, από τη μηχανική μέχρι την ηλεκτρονική. Τα χαρακτηριστικά τους περιλαμβάνουν την αμφίδρομη κίνηση, την εναλλαγή μεταξύ κινητικής ενέργειας και δυναμικής ενέργειας, καθώς και την απόκρισή τους σε εξωτερικές δυνάμεις.

Η κίνηση ενός σώματος θεωρείται ταλαντωτική μετά από κάποια συγκεκριμένη περίοδο. Η μέση θέση ή η θέση ισορροπίας, το σημείο γύρω από το οποίο ταλαντώνεται το σώμα αναφέρεται ως σταθερό σημείο. Όλες οι ταλαντωτικές κινήσεις είναι περιοδικές αλλά κάθε περιοδική κίνηση δεν είναι ταλαντωτική.

Χαρακτηριστικά Ταλαντώσεων

Η κίνηση ενός αντικειμένου που ταλαντώνεται περιγράφεται από τα χαρακτηριστικά των ταλαντώσεων. Αυτά περιλαμβάνουν τη συχνότητα, την περίοδο, το πλάτος και τη φάση των ταλαντώσεων, τα οποία καθορίζουν τη φύση και τη συμπεριφορά της κινητικής διαδικασίας.

Ειδη ταλαντώσεων

Οι ταλαντώσεις, όσο αναφορά τον τρόπο και το μέσο, μπορούν να χωριστούν σε διάφορους τύπους, συμπεριλαμβανομένων των μηχανικών, ηλεκτρομαγνητικών και κυματικών ταλαντώσεων. Οι μηχανικές ταλαντώσεις συνδέονται με τη μηχανική ενέργεια και τη μάζα των αντικειμένων, ενώ οι ηλεκτρομαγνητικές ταλαντώσεις προκαλούνται από την αλληλεπίδραση των ηλεκτρικών και μαγνητικών πεδίων. Τα κύματα των ταλαντώσεων διαδίδονται μέσω ενός μέσου και μπορούν να επηρεάσουν το περιβάλλον τους.

Όσο αναφορά το είδος της κίνησης, που το αντικείμενο εκτελεί καθώς αυτό ταλαντώνεται, χωρίζονται σε :

- Ταλαντώσεις με απόσβεση .
- ταλαντώσεις χωρίς απόσβεση.
- Ελεύθερη ταλάντωση .
- Αντήχηση .
- Συζευγμένη Ταλάντωση

κάθε τύπος με τα δικά του χαρακτηριστικά και εφαρμογές. Οι μηχανικές ταλαντώσεις, για παράδειγμα, προκαλούνται από εξωτερικές δυνάμεις και δυνάμεις επαναφοράς, ενώ οι ηλεκτρομαγνητικές ταλαντώσεις προκαλούνται από την εκπομπή ηλεκτρομαγνητικών κυμάτων. Ακόμη, στην κβαντική μηχανική, οι ταλαντώσεις μπορούν να παρουσιάσουν σε μορφή κυμάτων πιθανότητας, περιγράφοντας ουσιαστικά με αυτόν τον τρόπο τα κύματα. Η ταλάντωση σε οποιοδήποτε μέσο δημιουργεί ένα κύμα, το οποίο είναι μια διαταραχή που διαδίδεται από εκεί που δημιουργήθηκε προς όλες τις πιθανές κατευθύνσεις.

Κυματική και διάδοση ήχου στον αέρα

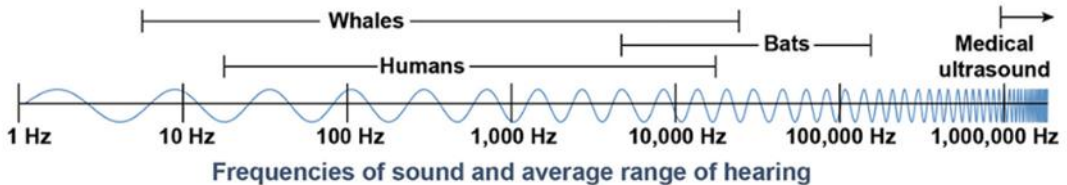
Η κυματική θεωρία επικεντρώνεται στη μετάδοση ενέργειας μέσω μιας μορφής μέσου. Ένα από τα πιο κοινά κύματα που μελετώνται είναι ο ήχος, ο οποίος διαδίδεται μέσω εναλλαγών στην πίεση του αέρα. Ο ήχος παράγεται από τη δόνηση ενός πηγαίου αντικειμένου και μεταδίδεται στο περιβάλλον του μέσω των ταλαντώσεών του. Η αλληλεπίδραση των μοριακών δυνάμεων στον αέρα προκαλεί αυτές τις ταλαντώσεις, που διαδίδονται σε χρόνο και χώρο με χαρακτηριστική ταχύτητα και φάσμα συχνοτήτων. Κατά

τη διάδοσή του, ο ήχος μεταφέρει ενέργεια στο περιβάλλον του, δημιουργώντας τις αισθήσεις του ακοής στους ανθρώπους και επηρεάζοντας το περιβάλλον του.

Συνεπώς, η κατανόηση των ταλαντώσεων και των κυμάτων είναι ουσιώδης για την εξήγηση της μετάδοσης του ήχου και των ηλεκτρομαγνητικών κυμάτων στον αέρα, καθώς και σε ένα μέσο όπως ένας μεταλλικός αγωγός.

Κατηγοριοποίηση ήχου βάση συχνότητας

Υπάρχουν πολλοί διαφορετικοί τύποι ήχου που περιλαμβάνουν, ακουστό, μη ακούγεται, δυσάρεστο, ευχάριστο, απαλό, δυνατό, θόρυβο και μουσική. Είναι πιθανό να βρείτε τους ήχους που παράγονται από μια συσκευή αναπαραγωγής πιάνου απαλούς, ηχητικούς και μουσικούς. Και ενώ ο ήχος της κατασκευής δρόμων νωρίς το πρωί του Σαββάτου ακούγεται επίσης, σίγουρα δεν είναι ευχάριστος ή απαλός. Άλλοι ήχοι, όπως το σφύριγμα του σκύλου, δεν ακούγονται στο ανθρώπινο αυτί. Αυτό συμβαίνει επειδή τα σφυρίγματα του σκύλου παράγουν ηχητικά κύματα που είναι κάτω από το εύρος της ανθρώπινης ακοής από 20 Hz έως 20.000 Hz. (Εικόνα 1.0) Τα κύματα κάτω των 20 Hz ονομάζονται κύματα υπερήχων (υπερήχοι), ενώ οι υψηλότερες συχνότητες άνω των 20.000 Hz ονομάζονται υπερηχητικά κύματα (υπερήχοι).



Εικόνα 1.0 κατηγοριοποίηση συχνοτήτων ηχητικών κυμάτων

Συχνότητα : Ορισμός και μέτρηση

Η συχνότητα είναι ο ρυθμός εμφάνισης ενός επαναλαμβανόμενου γεγονότος. Αν T είναι η περίοδος ενός επαναλαμβανόμενου συμβάντος, τότε η συχνότητα $f = 1/T$. Το Διεθνές Σύστημα Μονάδων (SI) δηλώνει ότι η περίοδος πρέπει πάντα να εκφράζεται σε μονάδες δευτερολέπτων (s), και η συχνότητα πρέπει πάντα να εκφράζεται σε hertz (Hz). Η συχνότητα των ηλεκτρικών σημάτων συχνά μετριέται σε μονάδες kilohertz (kHz) ή megahertz (MHz), όπου 1 kHz ισούται με 1000 (10^3) κύκλους ανά δευτερόλεπτο και 1 MHz ισούται με 1 εκατομμύριο (10^6) κύκλους ανά δευτερόλεπτο.

Η μέση συχνότητα σε ένα χρονικό διάστημα μπορεί να μετρηθεί με μεγάλη ακρίβεια. Το χρονικό διάστημα είναι ένα από τα τέσσερα βασικά πρότυπα μέτρησης (τα άλλα είναι το μήκος, η μάζα και η θερμοκρασία). Από αυτά τα τέσσερα βασικά πρότυπα, το χρονικό διάστημα (και η συχνότητα) μπορεί να μετρηθεί με τη μεγαλύτερη ανάλυση

και τη μικρότερη αβεβαιότητα. Σε ορισμένους τομείς της μετρολογίας, 1 μέρος ανά εκατομμύριο (1×10^{-6}) θεωρείται αρκετά ικανο επίτευγμα. Στη μετρολογία συχνότητας, οι μετρήσεις 1 μέρος ανά δισεκατομμύριο (1×10^{-9}) είναι ρουτίνα, και ακόμη και 1 μέρος ανά τρισεκατομμύριο (1×10^{-12}) είναι συνηθισμένο. Οι συσκευές που παράγουν μια γνωστή συχνότητα ονομάζονται πρότυπα συχνότητας. Αυτές οι συσκευές πρέπει να είναι βαθμονομημένες έτσι ώστε να παραμένουν εντός της ανοχής που απαιτείται από την εφαρμογή του χρήστη.

Βαθμονόμηση και έλεγχος

Οι βαθμονομήσεις συχνότητας μετρούν την απόδοση των προτύπων συχνότητας. Το πρότυπο συχνότητας που βαθμονομείται ονομάζεται συσκευή υπό δοκιμή (DUT). Στις περισσότερες περιπτώσεις, το DUT είναι ένας ταλαντωτής χαλαζία, ρουβιδίου ή καισίου. Για να πραγματοποιηθεί η βαθμονόμηση, το DUT πρέπει να συγκριθεί με ένα πρότυπο ή αναφορά. Το πρότυπο θα πρέπει να υπερέχει του DUT κατά μια καθορισμένη αναλογία, προκειμένου η βαθμονόμηση να είναι έγκυρη. Αυτός ο λόγος ονομάζεται λόγος αβεβαιότητας δοκιμής (TUR). Προτιμάται ένα TUR 10:1, αλλά αυτό δεν είναι πάντα δυνατό.

Μόλις ολοκληρωθεί η βαθμονόμηση, ο μετρολόγος θα πρέπει να μπορεί να δηλώσει πόσο κοντά είναι η έξοδος του DUT στη συχνότητα της αναφοράς του. Η συχνότητα της αναφοράς αναγράφεται στην έξοδο του ταλαντωτή. Για παράδειγμα, ένα DUT με έξοδο με την ένδειξη "5 MHz" υποτίθεται ότι παράγει συχνότητα 5 MHz. Η βαθμονόμηση μετρά τη διαφορά μεταξύ της πραγματικής παραγόμενης συχνότητας και της συχνότητας της πινακίδας. Αυτή η διαφορά ονομάζεται μετατόπιση συχνότητας. Υπάρχει μεγάλη πιθανότητα η μετατόπιση συχνότητας να παραμείνει εντός ενός συγκεκριμένου εύρους τιμών, που ονομάζεται αβεβαιότητα συχνότητας.

Σε πολλές περιπτώσεις, οι χρήστες βασίζονται στις απαιτήσεις τους στις προδιαγραφές που δημοσιεύει ο κατασκευαστής. Σε άλλες περιπτώσεις, μπορεί να «χαλαρώσουν» τις απαιτήσεις και να χρησιμοποιήσουν μια λιγότερο απαιτητική προδιαγραφή. Μόλις το DUT πληροί τις προδιαγραφές, έχει βαθμονομηθεί επιτυχώς. Εάν το DUT δεν πληροί τις προδιαγραφές, αποτυγχάνει στη βαθμονόμηση.

Η αναφορά που χρησιμοποιείται για τη βαθμονόμηση πρέπει να είναι ανιχνεύσιμη. Ο ορισμός του Διεθνούς Οργανισμού Προτύπων (ISO) για την ιχνηλασιμότητα είναι: Η ιδιότητα του αποτελέσματος μιας μέτρησης ή η τιμή ενός προτύπου με την οποία μπορεί να συσχετιστεί με δηλωμένες αναφορές, συνήθως εθνικά ή διεθνή πρότυπα, μέσω μιας αδιάσπαστης αλυσίδας συγκρίσεων που έχουν όλες τις αποδεκτά δηλωμένες αβεβαιότητες [1].

Στις Ηνωμένες Πολιτείες, η «αδιάσπαστη αλυσίδα συγκρίσεων» θα πρέπει να ανάγεται στο Εθνικό Ινστιτούτο Προτύπων και Τεχνολογίας (NIST). Σε ορισμένα πεδία βαθμονόμησης, η ιχνηλασιμότητα καθορίζεται με την αποστολή του προτύπου στο NIST (ή σε ένα ιχνηλάσιμο εργαστήριο NIST) για βαθμονόμηση ή με την αποστολή ενός συνόλου υλικών αναφορών (όπως ένα σύνολο προτύπων τεχνουργημάτων που χρησιμοποιούνται για βαθμονομήσεις

μάζας) στο χρήστη. Καμία μέθοδος δεν είναι πρακτική όταν κάνετε βαθμονομήσεις συχνότητας. Οι ταλαντωτές είναι ευαίσθητοι στην αλλαγή των περιβαλλοντικών συνθηκών και ιδιαίτερα στην ενεργοποίηση και απενεργοποίηση. Εάν ένας ταλαντωτής βαθμονομηθεί και στη συνέχεια απενεργοποιηθεί, η βαθμονόμηση μπορεί να είναι άκυρη όταν ο ταλαντωτής ενεργοποιηθεί ξανά. Επιπλέον, οι κραδασμοί και οι αλλαγές θερμοκρασίας που εμφανίζονται κατά την αποστολή μπορούν επίσης να αλλάξουν τα αποτελέσματα

Προδιαγραφές συχνότητας

Αβεβαιότητα

Όπως σημειώθηκε προηγουμένως, μια βαθμονόμηση συχνότητας μετρά εάν ένα DUT πληροί ή υπερβαίνει την αβεβαιότητά του κατά απαίτηση. Σύμφωνα με το ISO, η αβεβαιότητα ορίζεται ως: Η Παράμετρος, που σχετίζεται με το αποτέλεσμα μιας μέτρησης, που χαρακτηρίζει τη διασπορά των τιμών που θα μπορούσε εύλογα να αποδοθεί στη μέτρηση [1]. Όταν κάνουμε μια βαθμονόμηση συχνότητας, το μέτρο είναι ένα DUT που υποτίθεται ότι παράγει μία συγκεκριμένη συχνότητα. Για παράδειγμα, ένα DUT με έξοδο 5 MHz υποτίθεται ότι παράγει συχνότητα 5 MHz.

Φυσικά, το DUT θα παράγει στην πραγματικότητα μια συχνότητα που δεν είναι ακριβώς 5 MHz. Μετά τη βαθμονόμηση του DUT, μπορούμε να δηλώσουμε τη μετατόπιση συχνότητας και τη σχετική αβεβαιότητα. Η μέτρηση της μετατόπισης συχνότητας απαιτεί σύγκριση του DUT με μια αναφορά. Αυτό γίνεται συνήθως από κάνοντας μια σύγκριση φάσης μεταξύ της συχνότητας που παράγεται από το DUT και της παραγόμενης συχνότητας από την αναφορά

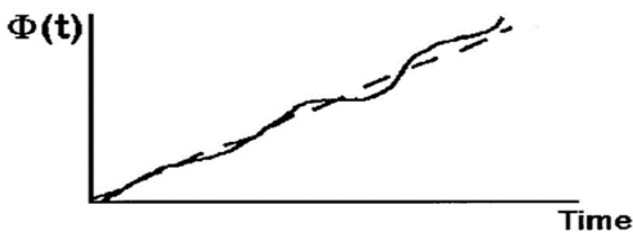
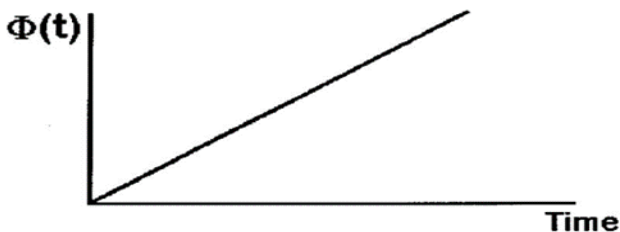
Για να συνοψίσουμε, η μετατόπιση συχνότητας υποδεικνύει με πόση ακρίβεια το DUT παράγει τη συχνότητα της αναφοράς του. Σημειώστε ότι ο όρος ακρίβεια (ή ακρίβεια συχνότητας) εμφανίζεται συχνά στα φύλλα προδιαγραφών ταλαντωτή αντί του όρου μετατόπιση συχνότητας, καθώς η ακρίβεια συχνότητας και η μετατόπιση συχνότητας είναι σχεδόν ισοδύναμοι όροι. Η αβεβαιότητα συχνότητας υποδεικνύει τα όρια (άνω και κάτω) της μετρούμενης μετατόπισης συχνότητας.

Τυπικά, χρησιμοποιείται μια δοκιμή αβεβαιότητας 2s. Αυτό δείχνει ότι υπάρχει 95,4% πιθανότητα η μετατόπιση συχνότητας να παραμείνει εντός των αναφερόμενων ορίων κατά την περίοδο μέτρησης. Σκεφτείτε τη μετατόπιση συχνότητας ως το αποτέλεσμα μιας μέτρησης που έγινε σε μια δεδομένη χρονική στιγμή και η αβεβαιότητα συχνότητας ως την πιθανή διασπορά των τιμών σε μια δεδομένη περίοδο μέτρησης.

Σταθερότητα

Πριν ξεκινήσουμε την αναφορά μας στη σταθερότητα, είναι σημαντικό να αναφέρουμε μια διάκριση μεταξύ αντιστάθμισης συχνότητας και σταθερότητας. Η μετατόπιση συχνότητας είναι ένα μέτρο του πόσο καλά ένας ταλαντωτής παράγει την ονομαστική του συχνότητα ή πόσο καλά ρυθμίζεται ένας ταλαντωτής. Δεν μας δίνει πληροφορίες για την εγγενή ποιότητα ενός ταλαντωτή. Για παράδειγμα, ένας ταλαντωτής υψηλής ποιότητας που

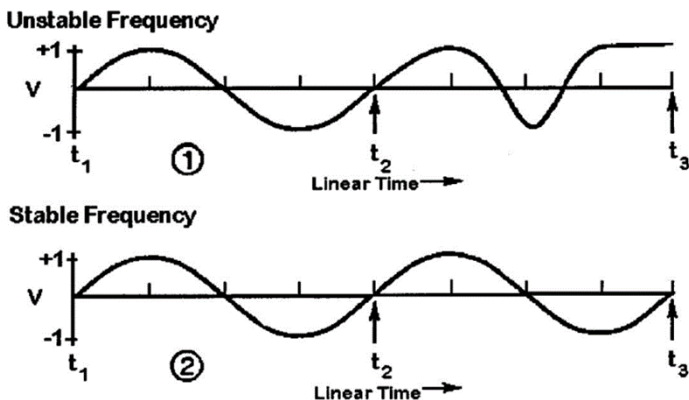
χρειάζεται ρύθμιση θα μπορούσε να παράγει μια συχνότητα με μια μεγάλη μετατόπιση. Ένας ταλαντωτής χαμηλής ποιότητας μπορεί να ρυθμιστεί καλά και να παράγει (προσωρινά τουλάχιστον) μια συχνότητα πολύ κοντά στην τιμή της ονομαστικής συχνότητας του.



ΕΙΚΟΝΑ 1.1 Απλές γραφικές παραστάσεις σύγκρισης φάσεων.

Η σταθερότητα, από την άλλη πλευρά, δείχνει πόσο καλά ένας ταλαντωτής μπορεί να παράγει την ίδια συχνότητα σε μια δεδομένη χρονική περίοδο. Δεν υποδεικνύει εάν η συχνότητα είναι "σωστή" ή "λάθος", μόνο εάν παραμένει η ίδια. Ένας ταλαντωτής με μεγάλη μετατόπιση συχνότητας θα μπορούσε να είναι ακόμα πολύ σταθερός. Ακόμα κι αν κάποιος ρυθμίσει τον ταλαντωτή και τον πλησιάσει στη σωστή συχνότητα, η σταθερότητα συνήθως δεν αλλάζει. Το Σχήμα 1.2 το απεικονίζει εμφανίζοντας δύο

ταλαντευόμενα σήματα που έχουν την ίδια συχνότητα μεταξύ t_1 και t_2 Ωστόσο, είναι σαφές ότι το σήμα 1 είναι ασταθές και παρουσιάζει διακυμάνσεις σε συχνότητα μεταξύ t_2 και t_3 .



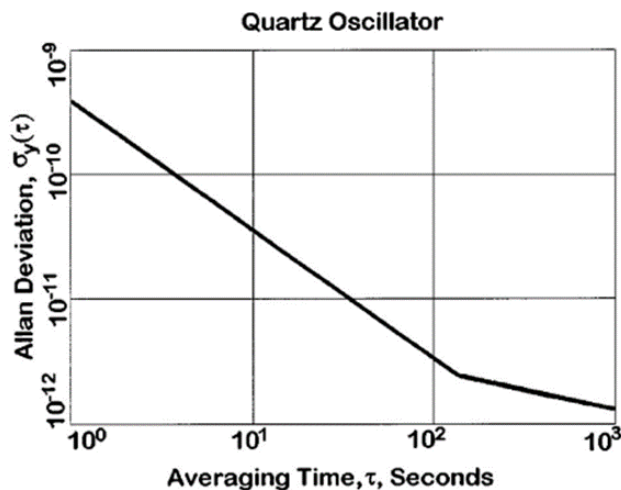
ΣΧΗΜΑ 1.2 Σύγκριση ασταθών και σταθερών συχνοτήτων.

Η σταθερότητα ορίζεται ως η στατιστική εκτίμηση των διακυμάνσεων της συχνότητας ενός σήματος σε δεδομένο χρονικό διάστημα.

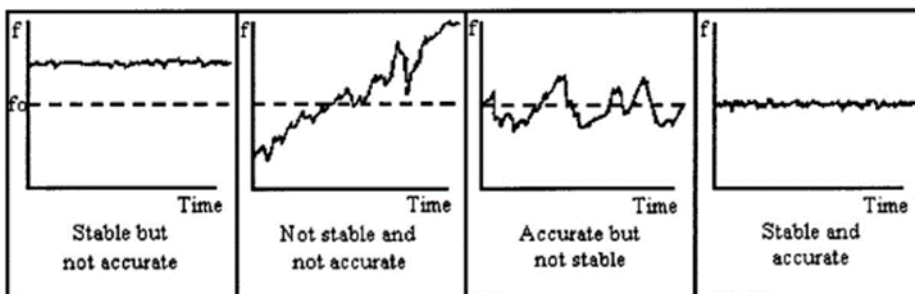
Ένα δείγμα γραφήματος απόκλισης Allan φαίνεται στο Σχήμα 1.3. Δείχνει τη βελτίωση της σταθερότητας καθώς η περίοδος μέτρησης μεγαλώνει. Μέρος αυτής της βελτίωσης οφείλεται στο ότι

ο θόρυβος του συστήματος μέτρησης γίνεται παράγοντας που ελαττώνεται καθώς η περίοδος μέτρησης μεγαλώνει. Κάποια στιγμή όμως θα φτάσει ο ταλαντωτής σε κατάσταση "flickering floor", και από πρακτική άποψη, δεν θα προκύψουν περαιτέρω κέρδη με τον υπολογισμό του μέσου όρου. Το "flickering floor" είναι το σημείο όπου οι διεργασίες λευκού θορύβου αρχίζουν να κυριαρχούνται από μη στάσιμες διαδικασίες όπως ως

μετατόπιση συχνότητας. Οι περισσότεροι ταλαντωτές χαλαζία και ρουβίδιου φτάνουν σε κατάσταση “flickering floor” σε μια περίοδο μέτρησης 10^3 s ή λιγότερο . Το σχήμα 1.3 δείχνει ένα δείγμα γραφήματος απόκλισης Allan ενός ταλαντωτή χαλαζία που είναι σταθερό σε περίπου 5×10^{12} στα 100 s και πλησιάζει το τρεμόπαιγμα [8-10].



ΣΧΗΜΑ 1..3 Ένα δείγμα γραφήματος απόκλισης Allan.



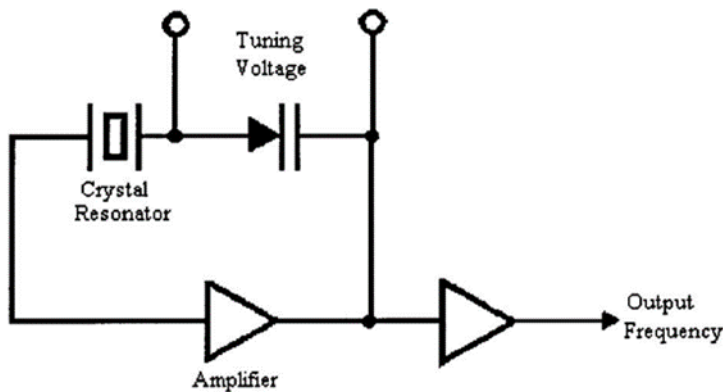
ΕΙΚΟΝΑ 1 .4 Η σχέση μεταξύ αβεβαιότητας συχνότητας (ακρίβεια) και σταθερότητας.

Ταλαντωτές χαλαζία

Οι ταλαντωτές κρυστάλλων χαλαζία εμφανίστηκαν για πρώτη φορά κατά τη δεκαετία του 1920 και αντικατέστησαν γρήγορα τις συσκευές εκκρεμούς ως εργαστηριακά πρότυπα για το χρόνο και τη συχνότητα [11]. Σήμερα, περισσότεροι από 10^9 ταλαντωτές χαλαζία κατασκευάζονται ετησίως για εφαρμογές που κυμαίνονται από φθηνά ρολόγια χειρός και ρολόγια έως δίκτυα επικοινωνιών και συστήματα παρακολούθησης του διαστήματος [12]. Ωστόσο, τα εργαστήρια βαθμονόμησης και προτύπων συνήθως βαθμονομούν μόνο τις πιο ακριβείς ποικιλίες ταλαντωτών χαλαζία, όπως εκείνους που βρίσκονται μέσα σε ηλεκτρονικά όργανα (όπως μετρητές συχνότητας) ή αυτούς που έχουν σχεδιαστεί ως

αυτόνομες μονάδες. Το κόστος ενός υψηλής ποιότητας ταλαντωτή χαλαζία κυμαίνεται από μερικές εκατοντάδες έως μερικές χιλιάδες δολάρια.

Ο κρύσταλλος χαλαζία μέσα στον ταλαντωτή μπορεί να είναι κατασκευασμένος από φυσικό ή συνθετικό χαλαζία, αλλά όλες οι σύγχρονες συσκευές είναι κατασκευασμένες από συνθετικό υλικό. Ο κρύσταλλος χρησιμεύει ως μηχανικός συντονιστής που δημιουργεί μια ταλαντευόμενη τάση λόγω του πιεζοηλεκτρικού φαινομένου. Αυτό το φαινόμενο προκαλεί τον κρύσταλλο να διαστέλλεται ή να συστέλλεται καθώς εφαρμόζονται τάσεις. Ο κρύσταλλος έχει συχνότητα συντονισμού που καθορίζεται από τις φυσικές του διαστάσεις και τον τύπο του κρυστάλλου που χρησιμοποιείται. Δεν υπάρχουν δύο κρύσταλλοι που μπορούν να είναι ακριβώς ίδιοι ή να παράγουν ακριβώς την ίδια συχνότητα. Η συχνότητα εξόδου ενός ταλαντωτή χαλαζία είναι είτε η θεμελιώδης συχνότητα συντονισμού είτε



ΕΙΚΟΝΑ 1.5 Μπλοκ διάγραμμα ταλαντωτή χαλαζία.

πολλαπλάσιο

αυτής της συχνότητας. Το σχήμα 1.5 είναι ένα απλοποιημένο διάγραμμα κυκλώματος που δείχνει τα βασικά στοιχεία ενός ταλαντωτή χαλαζία. Ο ενισχυτής παρέχει την ενέργεια που απαιτείται για τη διατήρηση της ταλάντωσης.

Οι ταλαντωτές χαλαζία είναι ευαίσθητοι σε περιβαλλοντικές παραμέτρους όπως η

θερμοκρασία, η υγρασία, η πίεση και οι κραδασμοί [12, 13]. Όταν αλλάζουν οι περιβαλλοντικές παράμετροι, αλλάζει και η θεμελιώδης συχνότητα συντονισμού. Υπάρχουν διάφοροι τύποι σχεδίων ταλαντωτή χαλαζία που προσπαθούν να μειώσουν τα περιβαλλοντικά προβλήματα. Ο ελεγχόμενος από φούρνο ταλαντωτή κρυστάλλων (OCXO) περικλείει τον κρύσταλλο σε έναν θάλαμο ελεγχόμενης θερμοκρασίας που ονομάζεται φούρνος. Όταν ένα OCXO ενεργοποιείται για πρώτη φορά, περνάει μια περίοδο «προθέρμανσης» ενώ οι θερμοκρασίες του αντηχείου κρυστάλλου και του φούρνου του σταθεροποιούνται. Κατά τη διάρκεια αυτού του χρόνου, η απόδοση του ταλαντωτή αλλάζει συνεχώς μέχρι να φτάσει στην κανονική θερμοκρασία λειτουργίας του. Η θερμοκρασία εντός του φούρνου παραμένει σταθερή, ακόμη και όταν η εξωτερική θερμοκρασία ποικίλλει. Μια εναλλακτική λύση στο πρόβλημα της θερμοκρασίας είναι ο ταλαντωτής κρυστάλλου με αντιστάθμιση θερμοκρασίας (TCXO). Σε ένα TCXO, το σήμα εξόδου από έναν ειδικό αισθητήρα θερμοκρασίας (που ονομάζεται θερμίστορ) δημιουργεί μια τάση διόρθωσης που εφαρμόζεται σε μια αντίδραση μεταβλητής τάσης (που ονομάζεται varactor).

Το varactor παράγει τότε μια αλλαγή συχνότητας ίση και αντίθετη με τη μεταβολή συχνότητας που προκαλεί η θερμοκρασία. Αυτή η τεχνική δεν λειτουργεί τόσο καλά όσο ο

έλεγχος του φούρνου, αλλά είναι πολύ λιγότερο δαπανηρή. Επομένως, τα TCXO χρησιμοποιούνται συνήθως σε μικρές, συνήθως φορητές μονάδες όταν δεν απαιτείται υψηλή απόδοση σε μεγάλο εύρος θερμοκρασίας. Ένας τρίτος τύπος ταλαντωτή χαλαζία είναι ο κρυσταλλικός ταλαντωτής με αντιστάθμιση μικροϋπολογιστή (MCXO). Το MCXO χρησιμοποιεί μικροεπεξεργαστή και αντισταθμίζει τη θερμοκρασία χρησιμοποιώντας ψηφιακές τεχνικές. Το MCXO πέφτει μεταξύ ενός TCXO και ενός OCXO τόσο σε τιμή όσο και σε απόδοση.

Όλοι οι ταλαντωτές χαλαζία υπόκεινται σε γήρανση, η οποία ορίζεται ως «μια συστηματική αλλαγή στη συχνότητα με το χρόνο λόγω εσωτερικών αλλαγών στον ταλαντωτή». Η γήρανση συνήθως παρατηρείται ως μια σχεδόν γραμμική αλλαγή στη συχνότητα συντονισμού. Η γήρανση μπορεί να είναι θετική ή αρνητική και, περιστασιακά, παρατηρείται αντιστροφή στην κατεύθυνση της γήρανσης. Συχνά, η συχνότητα συντονισμού μειώνεται, γεγονός που μπορεί να υποδεικνύει ότι ο κρύσταλλος μεγαλώνει. Η γήρανση έχει πολλές πιθανές αιτίες, συμπεριλαμβανομένης της μόλυνσης του κρυστάλλου λόγω εναποθέσεων ξένου υλικού, αλλαγές στο κύκλωμα του ταλαντωτή ή αλλαγές στο υλικό χαλαζία ή τη δομή του κρυστάλλου. Η δονητική κίνηση του κρυστάλλου μπορεί επίσης να συμβάλει στη γήρανση. Οι ταλαντωτές χαλαζία υψηλής ποιότητας γερνούν με ρυθμό 5×10^{-9} ετησίως ή λιγότερο.

Παρά τα προβλήματα θερμοκρασίας και γήρανσης, τα καλύτερα OCXO μπορούν να επιτύχουν μετατοπίσεις συχνότητας τόσο μικρές όσο 1×10^{-10} . Οι λιγότερο ακριβοί ταλαντωτές παράγουν λιγότερο εντυπωσιακά αποτελέσματα. Οι μικροί ταλαντωτές φούρνου (όπως αυτοί που χρησιμοποιούνται ως βάσεις χρόνου σε μετρητές συχνότητας) συνήθως αντισταθμίζονται σε συχνότητα κατά $\pm 1 \times 10^{-9}$ και κοστίζουν μόλις μερικές εκατοντάδες δολάρια. Οι ταλαντωτές χαλαζία με τη χαμηλότερη τιμή, όπως αυτοί που βρίσκονται σε ρολόγια χειρός και ηλεκτρονικά κυκλώματα, κοστίζουν λιγότερο από 1 \$. Ωστόσο, επειδή δεν έχουν έλεγχο θερμοκρασίας, αυτοί οι ταλαντωτές έχουν μετατόπιση συχνότητας περίπου $\pm 1 \times 10^{-9}$ στην καλύτερη περίπτωση και μπορεί να μετατοπιστούν έως και $\pm 1 \times 10^{-4}$.

Δεδομένου ότι η μετατόπιση συχνότητας ενός ταλαντωτή χαλαζία αλλάζει ουσιαστικά σε μεγάλες χρονικές περιόδους, ενδέχεται να χρειαστούν τακτικές προσαρμογές για να διατηρηθεί η συχνότητα εντός της ανοχής. Για παράδειγμα, ακόμη και οι καλύτεροι ταλαντωτές χαλαζία χρειάζονται τακτικές ρυθμίσεις για να διατηρήσουν τη συχνότητα εντός $\pm 1 \times 10^{-10}$. Από την άλλη πλευρά, οι ταλαντωτές χαλαζία έχουν εξαιρετική βραχυπρόθεσμη σταθερότητα. Ένα OCXO μπορεί να είναι σταθερό σε 1×10^{-12} σε 1 δευτερόλεπτο. Οι περιορισμοί στη βραχυπρόθεσμη σταθερότητα οφείλονται κυρίως στον θόρυβο από ηλεκτρονικά εξαρτήματα στα κυκλώματα ταλαντωτή.

Ατομικοί Ταλαντωτές

Οι ατομικοί ταλαντωτές χρησιμοποιούν τα κβαντισμένα επίπεδα ενέργειας στα άτομα και τα μόρια ως πηγή της συχνότητας συντονισμού τους. Οι νόμοι της κβαντικής μηχανικής υπαγορεύουν ότι οι ενέργειες ενός δεσμευμένου συστήματος, όπως ενός ατόμου, έχουν ορισμένες διακριτές τιμές. Όλοι οι ατομικοί ταλαντωτές είναι εγγενή πρότυπα, αφού η

συχνότητά τους προέρχεται εγγενώς από ένα θεμελιώδες φυσικό φαινόμενο. Υπάρχουν τρεις κύριοι τύποι ατομικών ταλαντωτών: πρότυπα ρουβιδίου, πρότυπα καισίου και μείζερ υδρογόνου

Εισαγωγή στον αλγόριθμο CORDIC (coordinate rotation digital computer)

Η CORDIC είναι μια αποδοτική επαναληπτική μέθοδος που χρησιμοποιεί περιστροφές για να υπολογίσει ένα ευρύ φάσμα στοιχειωδών συναρτήσεων.

Το CORDIC (ψηφιακός υπολογιστής περιστροφής συντεταγμένων) είναι μια επαναληπτική μέθοδος αποδοτικής χρήσης υλικού που χρησιμοποιεί περιστροφές για τον υπολογισμό ενός ευρέος φάσματος στοιχειωδών συναρτήσεων.

Ουσιαστικά μπορούμε να χρησιμοποιήσουμε το CORDIC για να υπολογίσουμε το ημίτονο και το συνημίτονο μιας δεδομένης γωνίας.

Λειτουργία εκτέλεσης ευρέος φάσματος λειτουργιών μέσω περιστροφής

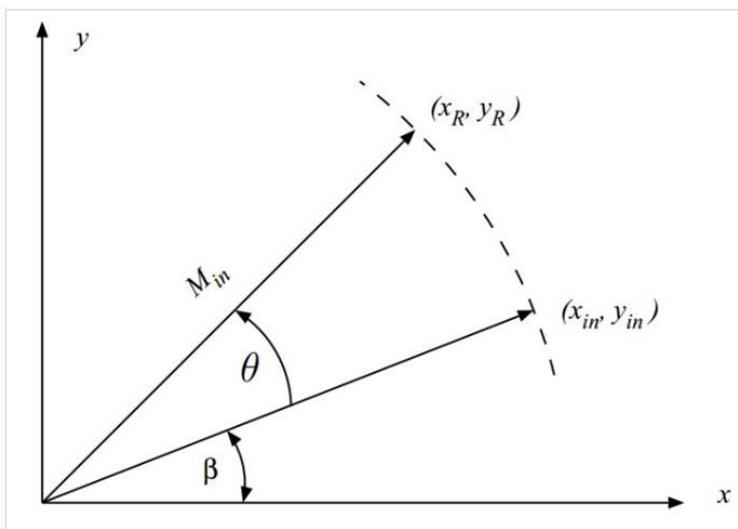
Προς το παρόν, ας ξεχάσουμε τα ηλεκτρονικά και ας επιστρέψουμε στα μαθηματικά του γυμνασίου για να δούμε ποιες πράξεις μπορούν να επιτευχθούν με απλή περιστροφή ενός διανύσματος.

Έστω ότι έχουμε ένα αποδοτικό σύστημα που δέχεται ένα διάνυσμα και το περιστρέφει κατά αυθαίρετη γωνία θ . Επιλέγοντας την αρχή ως κέντρο περιστροφής, θα φτάσουμε στο σημείο (x_1, y_1) περιστρέφοντας το σημείο (x_0, y_0) κατά θ .

$$X_R = X_{in} \cos(\theta) - y_{in} \sin(\theta)$$

$$y_R = X_{in} \sin(\theta) + y_{in} \cos(\theta)$$

Εξίσωση 1



Εικόνα 1.6 Περιστροφή του διανύσματος εισόδου κατά θ . ΠΗΓΗ UCLA .

Αν επιλέξουμε $y_{in} = 0$ και $x_{in} = 1$, μετά την περιστροφή θα έχουμε

$$x_R = \cos(\theta)$$

$$y_R = \sin(\theta)$$

Επομένως, μπορούμε απλά να υπολογίσουμε το ημίτονο και το συνημίτονο μιας δυαδικής γωνίας μέσω περιστροφής. Για ένα άλλο παράδειγμα των συναρτήσεων που μπορούν να υπολογιστούν από την περιστροφή, λάβετε υπόψη το διανυσματικό

μέγεθος, $\sqrt{x_{in}^2 + y_{in}^2}$. Για να το πετύχουμε αυτό, χρειάζεται μόνο να περιστρέψουμε το διάνυσμα εισόδου έτσι ώστε να ευθυγραμμιστεί με τον άξονα x. Με αυτόν τον τρόπο, $y_R = 0$ και η συνιστώσα x θα δώσει το διανυσματικό μέγεθος.

Είναι ενδιαφέρον ότι η λίστα των συναρτήσεων που μπορούν να υπολογιστούν από την περιστροφή είναι σχετικά μεγάλη. Αντίστροφες τριγωνομετρικές συναρτήσεις όπως \arctan , \arcsin , \arccos , υπερβολικές και λογαριθμικές συναρτήσεις, πολικός προς ορθογώνιο μετασχηματισμός, καρτεσιανός προς πολικός μετασχηματισμός, πολλαπλασιασμός και διαίρεση είναι μερικές από τις πιο σημαντικές πράξεις που μπορούν να ληφθούν από παραλλαγές περιστροφής.

Ο αλγόριθμος CORDIC επιχειρεί να παρέχει μια αποδοτική μέθοδο hardware για τον υπολογισμό αυτών των συναρτήσεων. "Αποτελεσματικός από πλευράς υλικού" σημαίνει ότι ο αλγόριθμος αποφεύγει τη χρήση πολλαπλασιαστών και βασίζεται μόνο σε μετατοπίσεις και προσθήκες/αφαιρέσεις. Σημειώστε ότι άλλες μέθοδοι υλοποίησης αυτών των λειτουργιών, όπως η χρήση σειρών ισχύος, συνήθως χρειάζονται αποκλειστικούς πολλαπλασιαστές.

Μηχανές Πεπερασμένων καταστάσεων FSM

Μια μηχανή πεπερασμένων καταστάσεων (FSM) είναι ένα υπολογιστικό μοντέλο που χρησιμοποιείται για να σχεδιάζει και να αναλύει συστήματα που μεταβαίνουν μεταξύ ενός πεπερασμένου αριθμού καταστάσεων. Οι FSM χρησιμοποιούνται ευρέως στην επιστήμη των υπολογιστών, στη ψηφιακή λογική, στη γλωσσολογία και στο σχεδιασμό διαδοχικών κυκλωμάτων. Ακολουθεί ένα λεπτομερές κείμενο που εξηγεί τις βασικές έννοιες, τους τύπους, τα συστατικά και τις εφαρμογές των μηχανών πεπερασμένων καταστάσεων

Βασικές Έννοιες των Μηχανών πεπερασμένων καταστάσεων

1. **Κατάσταση:** Μια κατάσταση αντιπροσωπεύει μια συνθήκη ή κατάσταση στην εκτέλεση του συστήματος. Είναι ένα στιγμιότυπο όλων των σχετικών μεταβλητών σε μια συγκεκριμένη χρονική στιγμή.
2. **Μετάβαση:** Μια μετάβαση είναι η αλλαγή από μια κατάσταση σε άλλη ως αντίδραση σε μια είσοδο ή συμβάν. Κάθε μετάβαση συνδέεται με μια ενέργεια ή έξοδο.
3. **Συμβάν/Είσοδος:** Τα συμβάντα ή οι εισοδοί ενεργοποιούν μεταβάσεις μεταξύ καταστάσεων. Μπορεί να είναι εξωτερικά σήματα ή εσωτερικές συνθήκες.
4. **Αρχική Κατάσταση:** Η κατάσταση στην οποία ξεκινά η FSM όταν αρχικοποιείται ή επαναφέρεται.
5. **Τελική/Αποδεκτή Κατάσταση:** Σε ορισμένες FSM, κάποιες καταστάσεις ορίζονται ως τελικές ή αποδεκτές. Αυτές οι καταστάσεις υποδεικνύουν ότι μια συγκεκριμένη συνθήκη ή σύνολο συνθηκών έχει ικανοποιηθεί.
6. **Αλφάβητο:** Το σύνολο όλων των δυνατών εισόδων που μπορεί να επεξεργαστεί η FSM.

Τύποι Πεπερασμένων Καταστασιακών Μηχανών

Οι FSM μπορούν να ταξινομηθούν σε δύο κύριους τύπους :

1. **Ντετερμινιστική Πεπερασμένη Αυτόματη Μηχανή (DFA)**
2. **Μη Ντετερμινιστική Πεπερασμένη Αυτόματη Μηχανή (NFA)**

Διαχωρισμός FSM βάση σχεδίασης . Μηχανές Mealy και Moore:

Οι μηχανές Mealy και οι μηχανές Moore είναι δύο τύποι πεπερασμένων καταστασιακών μηχανών (FSM) που χρησιμοποιούνται στο σχεδιασμό ψηφιακής λογικής, στην επιστήμη των υπολογιστών και σε διάφορες εφαρμογές όπου απαιτείται διαδοχική λογική.

Διαφέρουν κυρίως στον τρόπο με τον οποίο οι έξοδοι παράγονται βάσει των καταστάσεων και των εισόδων.

Μηχανή Mealy

Μια μηχανή Mealy είναι μια πεπερασμένη καταστασιακή μηχανή όπου οι έξοδοι καθορίζονται τόσο από την τρέχουσα κατάσταση όσο και από τις τρέχουσες εισόδους. Αυτό σημαίνει ότι η έξοδος μπορεί να αλλάξει ως αντίδραση στις αλλαγές της εισόδου ακόμη και χωρίς μετάβαση σε νέα κατάσταση.

Μηχανή Moore

Μια μηχανή Moore είναι μια πεπερασμένη καταστασιακή μηχανή όπου οι έξοδοι καθορίζονται αποκλειστικά από την τρέχουσα κατάσταση. Κάθε κατάσταση έχει μια

συσχετισμένη έξοδο, και αυτή η έξοδος παράγεται όποτε η μηχανή βρίσκεται σε αυτή την κατάσταση, ανεξάρτητα από την είσοδο.

Εφαρμογές των μηχανων πεπερασμένων καταστάσεων

Οι FSM έχουν ευρύ φάσμα εφαρμογών σε διάφορους τομείς, όπως μετρητές, καταχωρητές ολίσθησης, μονάδες ελέγχου επεξεργαστών. Στη μοντελοποίηση των αλληλεπιδράσεων του χρήστη εξασφαλίζοντας ότι το σύστημα ανταποκρίνεται σωστά στις εισόδους του χρήστη. Στην παρούσα εργασία χρησιμοποιείται στο κομμάτι του προγράμματος που σχετίζεται με την είσοδο των δεδομένων από τον Η/Υ στην UART του μικροεπεξεργαστή.

Δυαδικοί αριθμοί και κώδικας BCD

Ο κώδικας BCD δεν είναι ένα άλλο αριθμητικό σύστημα (όπως το δεκαδικό, το δυαδικό, το οκταδικό, το δεκαεξαδικό), αλλά είναι ένας τρόπος παράστασης των 10 ψηφίων του δεκαδικού συστήματος, το κάθε ένα από τα οποία αντιστοιχεί σε μία τετράδα bits.

Επομένως, είναι σημαντική η διαφορά ανάμεσα στη δυαδική κωδικοποίηση ενός δεκαδικού αριθμού και στη μετατροπή ενός δεκαδικού αριθμού στο δυαδικό σύστημα.

Ο κώδικας BCD είναι ένας άμεσος δυαδικός μετατροπέας μόνο για τους δεκαδικούς αριθμούς 0-9. Για τους δεκαδικούς αριθμούς που είναι μεγαλύτεροι από 9, η κωδικοποίηση και η μετατροπή είναι διαφορετικές.

Ο Κωδικας BCD

Ο κώδικας BCD είναι δυαδικός κώδικας με βάρη, που χρησιμοποιείται για την κωδικοποίηση των 10 ψηφίων του δεκαδικού συστήματος, όπως δηλώνει άλλωστε το όνομά του: Binary Coded Decimal (δυαδικά κωδικοποιημένο δεκαδικό).

Ο κώδικας BCD χρησιμοποιεί 4 bits με βάρη 8 4 2 1 και παρουσιάζεται στον Πίνακα 1.1

Πίνακας 1.1 Κώδικας BCD

Δεκαδικό ψηφίο	BCD
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111

8	1000
9	1001

Ο κώδικας BCD είναι ένας τρόπος παράστασης των 10 ψηφίων του δεκαδικού συστήματος, το κάθε ένα από τα οποία αντιστοιχεί σε μία τετράδα bits.

Για παράδειγμα, ο δεκαδικός αριθμός 5 αντιστοιχεί στην τετράδα 0101 ($0 \times 8 + 1 \times 4 + 0 \times 2 + 1 \times 1 = 5$).

Μετατροπή BCD σε δεκαδικό

Για τη μετατροπή ενός BCD αριθμού σε δεκαδικό αριθμό χωρίζεται ο BCD αριθμός σε ομάδες **τεσσάρων** (4) bits και κάθε ομάδα μετατρέπεται στο ισοδύναμο δεκαδικό ψηφίο, σύμφωνα με τον Πίνακα 2.7.1.

Για παράδειγμα, ο BCD αριθμός 1000011000101001 αντιστοιχεί στο δεκαδικό αριθμό 8629 αφού:

1000	0110	0010	1001
8	6	2	9

Παρατήρηση. Ο κώδικας BCD χρησιμοποιεί τους 10 από τους 16 δυνατούς συνδυασμούς των 4 bits. Οι 6 συνδυασμοί 1010, 1011, 1100, 1101, 1110 και 1111 δεν χρησιμοποιούνται.

Μετατροπή από δεκαδικό σε BCD

Για τη μετατροπή ενός δεκαδικού αριθμού σε BCD αριθμό, μετατρέπεται κάθε ψηφίο του δεκαδικού αριθμού σε μία ομάδα **τεσσάρων** (4) bits που αποτελούν τον ισοδύναμο BCD αριθμό του κάθε δεκαδικού ψηφίου, σύμφωνα με τον Πίνακα 2.7.1.

Για παράδειγμα, ο δεκαδικός αριθμός 4738 αντιστοιχεί στον BCD αριθμό 0100011000111000 αφού:

4	7	3	8
0100	0110	0011	1000

ΚΕΦΑΛΑΙΟ 2^ο Θεωρία άμεσης ψηφιακής σύνθεσης

Γενικά

Στο δεύτερο κεφάλαιο γίνεται αναλυτική αναφορά στην άμεση ψηφιακή σύνθεση συχνοτήτων . Ξεκινώντας με την θεωρία της άμεσης ψηφιακής σύνθεσης παρουσιάζεται ο φασικός κύκλος και το μπλοκ διάγραμμα του κυκλώματος , αναλύονται τα λειτουργικά μπλοκ που απαρτίζουν το κύκλωμα και αναλύεται η έξοδος αυτού , προϊόν δειγματοληψίας του D/A μετατροπέα . Επιπλέον μέσω της απόκρισης του DDS στο πεδίο των συχνοτήτων αναλύεται η παρουσία αρμονικών ταλαντώσεων ψευδών εικόνων . εν συνεχεία αναλύεται η συμβολή του ασυσσώρευτη φάσης, του εξωτερικού κρυστάλλου χρονοσμού καθώς και της της διακριτικής ικανότητας μετατροπέα D/A στον θόρυβο της εξόδου . Τέλος τεκμηριώνονται οι τεχνικές απόσβεσης του θορύβου μέσω επιλογής φίλτρου , ικανού να 'κόψει' τις αρμονικές και τις ψευδείς εικόνες , παράλληλα προτείνονται σχέδια διασύνδεσης της εξόδου .

Ενότητα 1 Περιγραφή Άμεσης Ψηφιακής Σύνθεσης

Η άμεση ψηφιακή σύνθεση (DDS) είναι μια τεχνική που κατα την οποία μπλοκ επεξεργασίας ψηφιακών δεδομένων χρησιμοποιούνται ως μέσο δημιουργίας ενός σήματος εξόδου . Τεχνική με δυνατότητα συντονισμού συχνότητας και φάσης και η οποία χρησιμοποιεί ως αναφορά - πηγή ρολοί ακριβείας σταθερής συχνότητας. Ουσιαστικά σε μια αρχιτεκτονική DDS , η συχνότητα ρολογιού αναφοράς, προερχόμενη από έναν εξωτερικό κρύσταλλο , «διαιρείται» με τον παράγοντα κλιμάκωσης που ορίζεται σε μια προγραμματιζόμενη δυαδική λέξη συντονισμού. Η λέξη συντονισμού είναι συνήθως 24-48 bit, γεγονός που επιτρέπει σε μια υλοποίηση DDS να παρέχει ανώτερη ανάλυση συντονισμού συχνότητας εξόδου.

Τα σημερινά ανταγωνιστικά ως προς το κόστος , υψηλής απόδοσης, λειτουργικά ενσωματωμένα και μικρού μεγέθους συστήματα DDS έγιναν γρήγορα μια εναλλακτική λύση στις παραδοσιακές λύσεις αναλογικών συνθεσάιζερ ευέλικτων συχνοτήτων. Η ενσωμάτωση ενός υψηλής ταχύτητας και απόδοσης, μετατροπέα D/A και αρχιτεκτονικής DDS σε ένα ενιαίο τσιπ (δημιουργεί αυτό που είναι κοινώς γνωστό ως ολοκληρωμένη λύση DDS) έδωσε σε αυτήν την τεχνολογία την δυνατότητα να στοχεύει σε ένα ευρύτερο φάσμα εφαρμογών και παράλληλα να παρέχει, σε πολλές περιπτώσεις, μια ελκυστική εναλλακτική λύση απέναντι σε αναλογικούς συνθεσάιζερ PLL. Για πολλές εφαρμογές, η λύση DDS έχει

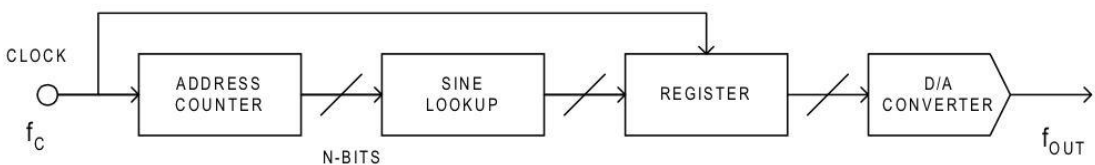
ορισμένα ευδιάκριτα πλεονεκτήματα έναντι του ισοδύναμου ευέλικτου αναλογικού συνθέτη συχνότητας που χρησιμοποιεί κύκλωμα PLL.

Πλεονεκτήματα DDS:

- Ανάλυση συντονισμού της συχνότητας εξόδου της τάξης των Micro-Hertz καθώς και δυνατότητα του συντονισμού φάσης μικροτερη της μοίρας , όλα υπό πλήρη ψηφιακό έλεγχο.
- Εξαιρετικά γρήγορη «ταχύτητα αναπήδησης» κατά τον συντονισμό της συχνότητας (ή της φάσης) εξόδου, συνεχούς φάσης αναπήδησεις συχνότητας χωρίς υπερβασεις ή υποβιβασμό ή συσχετιζόμενες με το αναλογικό μέρος χρονικές ανωμαλίες καθίζηση βρόχου .
- Η ψηφιακή αρχιτεκτονική DDS εξαλείφει την ανάγκη χειροκίνητου συντονισμού και προσαρμογής του συστήματος που σχετίζεται με τη γήρανση των εξαρτημάτων και τη μετατόπιση της θερμοκρασίας που παρατηρείται στις λύσεις αναλογικών συνθεσάιζερ.
- Η διεπαφή ψηφιακού ελέγχου της αρχιτεκτονικής DDS διευκολύνει ένα περιβάλλον όπου τα συστήματα μπορούν να ελέγχονται εξ αποστάσεως και να βελτιστοποιούνται ελάχιστα, υπό τον έλεγχο του επεξεργαστή.
- Όταν χρησιμοποιείται ως συνθεσάιζερ τετραγωνικού σήματος , το DDS προσφέρει απaráμιλλη αντιστοίχιση και έλεγχο των συνθετικών εξόδων I και Q.

Θεωρία Λειτουργίας

Στην απλούστερη μορφή του, ένας άμεσος ψηφιακός συνθεσάιζερ μπορεί να υλοποιηθεί από ένα ρολόι αναφοράς ακριβείας, έναν μετρητή διευθύνσεων, μια προγραμματιζόμενη μνήμη μόνο για ανάγνωση (PROM) και έναν μετατροπέα D/A (βλ. Εικόνα 2-1).

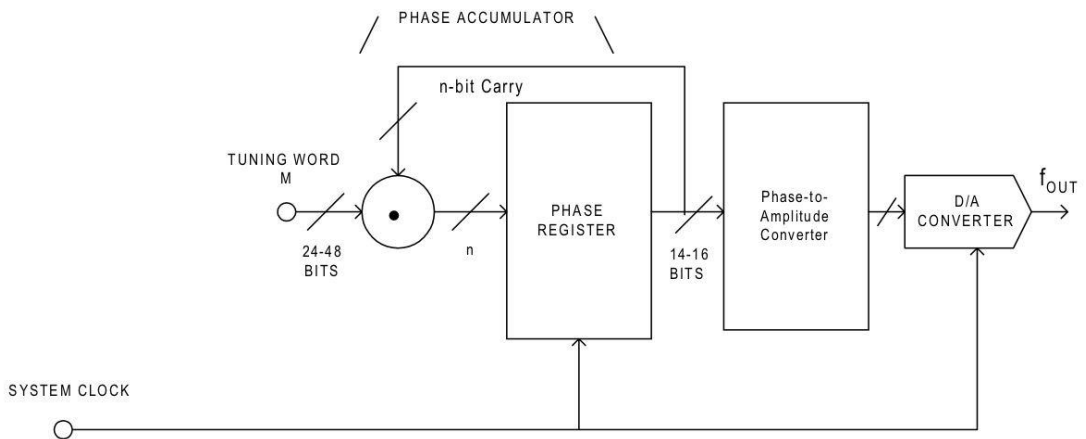


Εικόνα 2-1. Απλό Direct Digital Synthesizer

Σε αυτήν την περίπτωση, οι πληροφορίες ψηφιακού πλάτους που αντιστοιχούν σε έναν πλήρη κύκλο ενός ημιτονικού κύματος αποθηκεύονται στο PROM. Η PROM επομένως λειτουργεί ως πίνακας αναζήτησης ημιτόνων. Ο μετρητής διευθύνσεων σαρώνει και έχει πρόσβαση σε καθεμία από τις θέσεις μνήμης PROM και τα περιεχόμενα της (οι ισοδύναμες λέξεις ημιτονοειδούς πλάτους) προωθούνται σε έναν μετατροπέα D/A υψηλής ταχύτητας. Ο μετατροπέας D/A δημιουργεί ένα αναλογικό ημιτονικό κύμα ως απόκριση στις ψηφιακές λέξεις εισόδου από το PROM.

Η συχνότητα εξόδου αυτής της υλοποίησης DDS εξαρτάται από 1. Τη συχνότητα του ρολογιού αναφοράς και 2. το μέγεθος βήματος ημιτονικού κύματος που είναι προγραμματισμένο στην PROM. Καθώς η αναλογική πιστότητα εξόδου, το jitter και η απόδοση AC αυτής της απλοϊκής αρχιτεκτονικής μπορεί να είναι αρκετά καλές, στερείται ευελιξίας συντονισμού. Η συχνότητα εξόδου μπορεί να αλλάξει μόνο αλλάζοντας τη συχνότητα του ρολογιού αναφοράς ή επαναπρογραμματίζοντας το PROM. Καμία από αυτές τις επιλογές δεν υποστηρίζει μεταπήδηση συχνότητας εξόδου υψηλής ταχύτητας.

Με την εισαγωγή μιας λειτουργίας συσσωρευτή φάσης στην αλυσίδα ψηφιακού σήματος, αυτή η αρχιτεκτονική γίνεται ένας αριθμητικά ελεγχόμενος ταλαντωτής που είναι ο πυρήνας μιας εξαιρετικά ευέλικτης συσκευής DDS. Όπως δείχνει το σχήμα 2-2, ένας N-bit μεταβλητού συντελεστή μετρητή και φάση

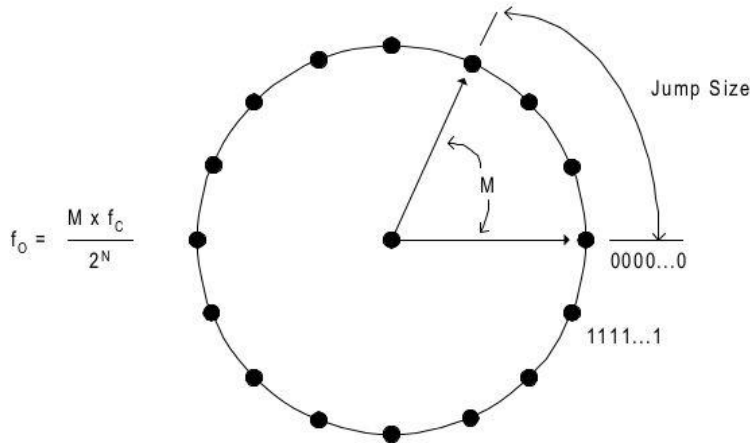


Εικόνα 2-2. Σύστημα DDS με δυνατότητα συντονισμού συχνότητας

καταχωρούνται στο κύκλωμα πριν από τον πίνακα ημιτονικής αναζήτησης, ως αντικατάσταση του μετρητή διευθύνσεων.

Η λειτουργία μεταφοράς επιτρέπει αυτή τη λειτουργία ως «τροχός φάσης» στην αρχιτεκτονική DDS. Για να κατανοήσετε αυτή τη βασική συνάρτηση, φανταστείτε την ταλάντωση των ημιτονοειδών κυμάτων ως διάνυσμα που περιστρέφεται γύρω από έναν κύκλο φάσης (βλ. Εικόνα 1-3). Κάθε καθορισμένο σημείο στον τροχό φάσης αντιστοιχεί στο ισοδύναμο σημείο α στο

Digital Phase Wheel

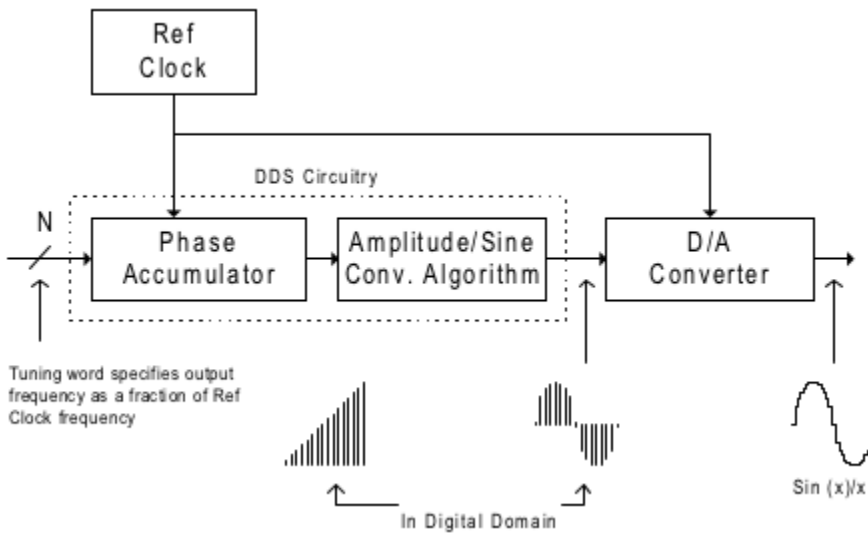


<u>n</u>	<u>NUMBER OF POINTS</u>
8	256
12	4096
16	65535
20	1048576
24	16777216
28	268435456
32	4294967296
48	281474976710656

Εικόνα 2.3. Ψηφιακός τροχός φάσης

Κύκλο μιας ημιτονοειδούς κυματομορφής. Καθώς το διάνυσμα περιστρέφεται γύρω από τον τροχό, οραματίζεστε ότι δημιουργείται αντίστοιχα ένα ημιτονικό κύμα εξόδου. Μία περιστροφή του διανύσματος γύρω από τον τροχό φάσης, με σταθερή ταχύτητα, οδηγεί σε έναν πλήρη κύκλο του ημιτονοειδούς κύματος εξόδου. Ο συσσωρευτής φάσης χρησιμοποιείται για να παρέχει το ισοδύναμο της γραμμικής περιστροφής του διανύσματος γύρω από τον τροχό φάσης. Τα περιεχόμενα του συσσωρευτή φάσης αντιστοιχούν στα σημεία του κύκλου του ημιτονοειδούς κύματος εξόδου. Ο αριθμός των διακριτών σημείων φάσης που περιέχονται στον "τροχό" καθορίζεται από την ανάλυση, N , του συσσωρευτή φάσης. Η έξοδος του συσσωρευτή φάσης είναι γραμμική και δεν μπορεί να χρησιμοποιηθεί άμεσα για τη δημιουργία ημιτονοειδούς κύματος ή οποιασδήποτε άλλης κυματομορφής εκτός από αυτή της ράμπας. Επομένως, ένας πίνακας αναζήτησης φάσης σε πλάτος, χρησιμοποιείται για τη μετατροπή μιας περικομμένης έκδοσης της τιμής στιγμιαίας εξόδου του συσσωρευτή φάσης στις πληροφορίες πλάτους ημιτονοειδούς κυμάτων που παρουσιάζονται στον μετατροπέα D/A. Οι περισσότερες αρχιτεκτονικές DDS εκμεταλλεύονται τη συμμετρική φύση ενός ημιτονοειδούς κύματος και χρησιμοποιούν τη λογική χαρτογράφησης για να συνθέσουν έναν πλήρη κύκλο ημιτονικού κύματος από το $\frac{1}{4}$ κύκλο δεδομένων από τον συσσωρευτή φάσης. Ο πίνακας αναζήτησης φάσης προς πλάτος

δημιουργεί όλα τα απαραίτητα δεδομένα διαβάζοντας προς τα εμπρός και μετά πίσω στον πίνακα αναζήτησης.



Εικόνα 1-4. Ροή σήματος μέσω της αρχιτεκτονικής DDS

Ο συσσωρευτής φάσης είναι στην πραγματικότητα ένας μετρητής συντελεστή M που αυξάνει τον υποθηκευμένο αριθμό του κάθε φορά που λαμβάνει έναν παλμό ρολογιού. Το μέγεθος της αύξησης καθορίζεται από μια ψηφιακή λέξη M που περιέχεται σε έναν «καταχωρητή φάσης δέλτα» που αθροίζεται με την υπερχειλίση του μετρητή. Η λέξη στον καταχωρητή φάσης δέλτα σχηματίζει το μέγεθος του βήματος φάσης μεταξύ των ενημερώσεων ρολογιού αναφοράς.

ρυθμίζει αποτελεσματικά πόσα σημεία πρέπει να παρακάμψετε γύρω από τον τροχό φάσης. Όσο μεγαλύτερο είναι το μέγεθος του άλματος, τόσο πιο γρήγορα υπερχειλίζει ο συσσωρευτής φάσης και ολοκληρώνει τον ισοδύναμο του κύκλου ημιτονοειδούς κυμάτων. Για έναν συσσωρευτή φάσης $N=32$ -bit, μια τιμή M 0000...0001 (ένα) θα είχε ως αποτέλεσμα την υπερχειλίση του συσσωρευτή φάσης μετά από 232 κύκλους ρολογιού αναφοράς (αυξήσεις). Εάν η τιμή M αλλάξει σε 0111...1111, ο συσσωρευτής φάσης θα υπερχειλίσει μόνο μετά από 21 κύκλους ρολογιού ή δύο κύκλους ρολογιού αναφοράς. Αυτός ο έλεγχος του μεγέθους άλματος αποτελεί την ανάλυση συντονισμού συχνότητας της αρχιτεκτονικής DDS.

Η σχέση του συσσωρευτή φάσης και του συσσωρευτή φάσης δέλτα αποτελεί τη βασική εξίσωση συντονισμού για την αρχιτεκτονική DDS:

$$F_{OUT} = (M (REFCLK)) / 2^N$$

Όπου: F_{OUT} = η συχνότητα εξόδου του DDS

M = η δυαδική λέξη συντονισμού

REFCLK = η εσωτερική συχνότητα ρολογιού αναφοράς (ρολόι συστήματος)

N = Το μήκος σε bit του συσσωρευτή φάσης

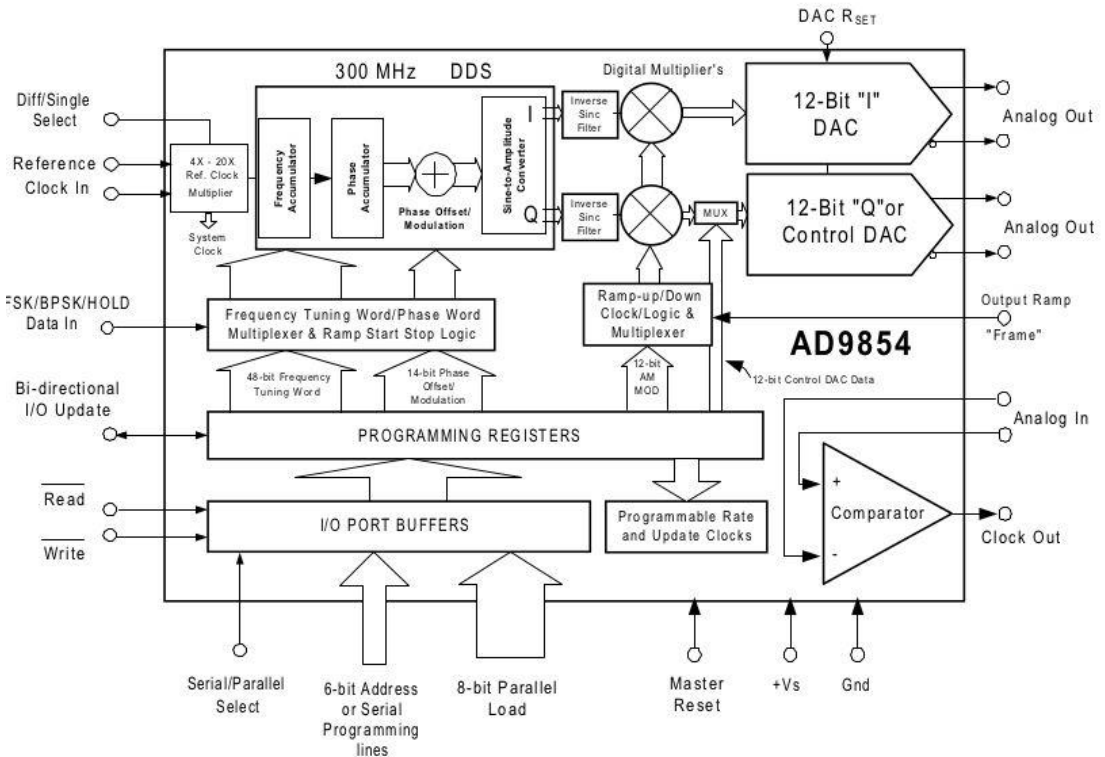
Οι αλλαγές στην τιμή του M στην αρχιτεκτονική DDS έχουν ως αποτέλεσμα άμεσες και συνεχείς αλλαγές φάσης στη συχνότητα εξόδου. Στην πρακτική εφαρμογή, η τιμή M, ή λέξη συντονισμού συχνότητας, φορτώνεται σε έναν εσωτερικό καταχωρητή σειριακό ή φορτωμένο με byte που προηγείται του καταχωρητή φάσης δέλτα παράλληλης εξόδου. Αυτό γίνεται γενικά για να ελαχιστοποιηθεί ο αριθμός των pin πακέτου της συσκευής DDS.

Μόλις φορτωθεί ο καταχωρητής buffer, ο καταχωρητής φάσης δέλτα παράλληλης εξόδου χρονίζεται και η συχνότητα εξόδου DDS αλλάζει. Γενικά, ο μόνος περιορισμός ταχύτητας για την αλλαγή της συχνότητας εξόδου ενός DDS είναι ο μέγιστος ρυθμός με τον οποίο μπορεί να φορτωθεί και να εκτελεστεί ο καταχωρητής buffer. Το μπλοκ διάγραμμα μιας συσκευής DDS διευρυμένων δυνατοτήτων φαίνεται στο Σχήμα 1-5.

Περιγραφή λειτουργικών μπλοκ

Τα λειτουργικά μπλοκ ενως dds παρουσιάζονται παρακάτω :

- (A) Μια προγραμματιζόμενη λειτουργία πολλαπλασιαστή REFCLK που περιλαμβάνεται στην είσοδο ρολογιού, πολλαπλασιάζει τη συχνότητα του εξωτερικού ρολογιού αναφοράς, μειώνοντας έτσι την απαίτηση ταχύτητας στο ρολόι αναφοράς ακριβείας. Η λειτουργία REFCLK Multiplier ενισχύει επίσης την ικανότητα της συσκευής DDS να χρησιμοποιεί διαθέσιμες πηγές ρολογιού συστήματος.
- (B) Η προσθήκη ενός αθροιστή μετά τον συσσωρευτή φάσης επιτρέπει στο ημιτονικό κύμα εξόδου να καθυστερήσει φάση σε αντιστοιχία με μια λέξη συντονισμού φάσης. Το μήκος του κυκλώματος αθροιστή καθορίζει τον αριθμό των δυαδικών ψηφίων στη λέξη συντονισμού φάσης και επομένως την ανάλυση της καθυστέρησης. Σε αυτήν την αρχιτεκτονική, η λέξη συντονισμού φάσης είναι 14-bit.
- (C) Ένα μπλοκ Inverse SINC που έχει εισαχθεί πριν από τον μετατροπέα D/A αντισταθμίζει την απόκριση $\text{SIN}(X)/X$ της εξόδου του κβαντισμένου μετατροπέα D/A και έτσι παρέχει σταθερή έξοδο πλάτους στην περιοχή Nyquist της συσκευής DDS
- (D) Ένας ψηφιακός πολλαπλασιαστής που έχει εισαχθεί μεταξύ του πίνακα αναζήτησης Sine και του μετατροπέα D/A επιτρέπει τη διαμόρφωση πλάτους του ημιτονοειδούς κύματος εξόδου. Το πλάτος της λέξης του ψηφιακού πολλαπλασιαστή καθορίζει την ανάλυση του μεγέθους βήματος του πλάτους εξόδου



Εικόνα 2.5 Αρχιτεκτονική DDS 12-bit/300 MHz με πλήρεις δυνατότητες

•(E) Ένας πρόσθετος μετατροπέας D/A υψηλής ταχύτητας μπορεί να συμπεριληφθεί για την παροχή της εξόδου συνημιτόνου από το DDS. Αυτό επιτρέπει στη συσκευή DDS να παρέχει εξόδους I και Q που ταιριάζουν με ακρίβεια σε συχνότητα, φάση τετραγωνισμού και πλάτος. Ο πρόσθετος μετατροπέας D/A μπορεί επίσης να οδηγηθεί από τη διεπαφή ελέγχου και να χρησιμοποιηθεί ως DAC ελέγχου για διάφορες εφαρμογές.

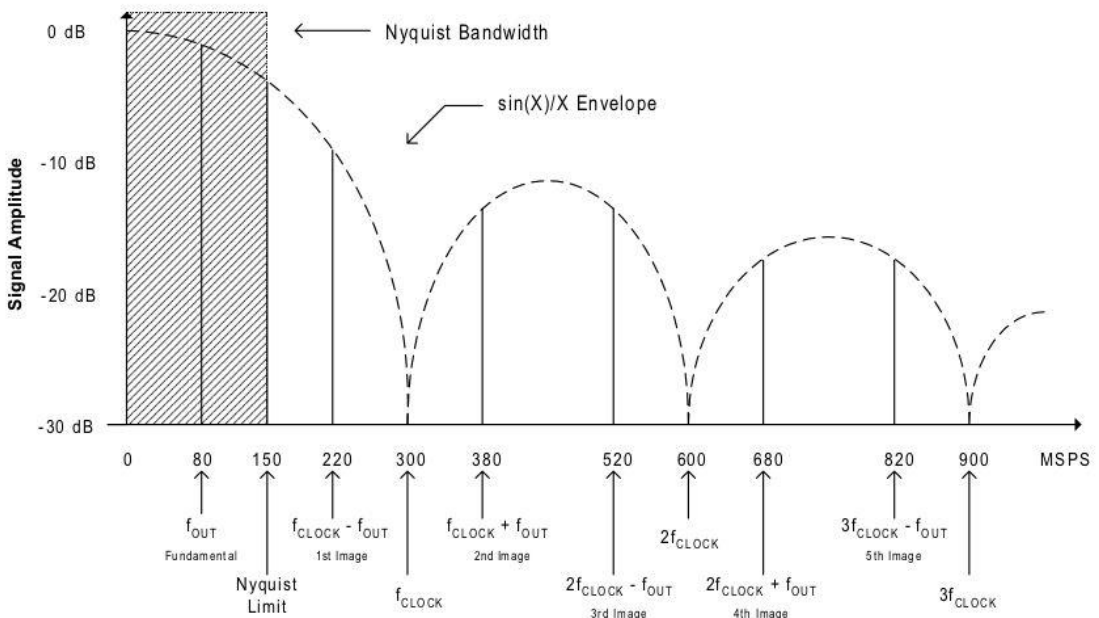
•(F) Μπορεί να ενσωματωθεί μια λειτουργία σύγκρισης υψηλής ταχύτητας που διευκολύνει τη χρήση της συσκευής DDS ως γεννήτρια ρολογιού. Ο συγκριτής έχει ρυθμιστεί να μετατρέπει την έξοδο ημιτονοειδών κυμάτων από τον μετατροπέα DDS D/A σε τετραγωνικό κύμα.

•(Z) Μπορούν να προστεθούν καταχωρητές συχνότητας/φάσης που επιτρέπουν τη χρήση λέξεων συχνότητας και φάσης προ-προγραμματισμένα και τα περιεχόμενά τους εκτελούνται μέσω ενός μόνο ακροδέκτη ελέγχου. Αυτή η διαμόρφωση υποστηρίζει επίσης τη διαμόρφωση πλήκτρων μετατόπισης συχνότητας (FSK) με την είσοδο μονής ακίδας προγραμματισμένη για τις επιθυμητές συχνότητες "σήμανσης" και "διαστήματος".

Διατίθενται συσκευές DDS που ενσωματώνουν όλες αυτές τις λειτουργίες (και περισσότερες) και υποστηρίζουν εσωτερικούς ρυθμούς ρολογιού έως και 300 MHz. Η αυξανόμενη δημοτικότητα στις λύσεις DDS οφείλεται στο γεγονός ότι όλη αυτή η απόδοση και η λειτουργικότητα διατίθενται σε λογική τιμή και σε σχετικά μικρό πακέτο.

Ενότητα 2. Κατανόηση της δειγματοληπτικής εξόδου μιας συσκευής DDS

Η κατανόηση της θεωρίας δειγματοληψίας είναι απαραίτητη όταν αναλύεται η δειγματοληπτική έξοδος ενός διαλύματος σύνθεσης σήματος που βασίζεται σε DDS. Το φάσμα μιας εξόδου δειγματοληψίας απεικονίζεται στο Σχήμα 2.6. Σε αυτό το παράδειγμα, το ρολόι δειγματοληψίας (f_{CLOCK}) είναι 300 MHz και η βασική συχνότητα εξόδου (f_{OUT}) είναι 80 MHz



Εικόνα 2.6. Φασματική Ανάλυση Δειγματικής Εξόδου

Το Θεώρημα Nyquist υπαγορεύει ότι απαιτούνται τουλάχιστον δύο δείγματα ανά κύκλο για να Ανακατασκευαστεί η επιθυμητή κυματομορφή εξόδου. Οι αποκρίσεις εικόνων δημιουργούνται στην έξοδο του φασματικού δείγματος στο $f_{\text{CLOCK}} \pm f_{\text{OUT}}$. Η 1η απόκριση εικόνας εμφανίζεται σε αυτό το παράδειγμα στο $f_{\text{CLOCK}} - f_{\text{OUT}}$ ή 220 MHz. Η 3η, η 4η και η 5η εικόνα εμφανίζονται στα 380 MHz, 520 MHz, 680 MHz και 820 MHz (αντίστοιχα). Παρατηρούμε ότι τα μηδενικά εμφανίζονται σε πολλαπλάσια της συχνότητας δειγματοληψίας.

Στην περίπτωση που η συχνότητα f_{OUT} υπερβαίνει τη συχνότητα f_{CLOCK} , η 1η απόκριση εικόνας θα εμφανίζονται εντός του εύρους ζώνης Nyquist (DC - $\frac{1}{2}f_{\text{CLOCK}}$) ως ψευδώνυμη εικόνα. Η ψευδής εικόνα δεν μπορεί να φιλτραριστεί από την έξοδο με το παραδοσιακό φίλτρο κατά της παραμόρφωσης του Nyquist. Σε τυπικές εφαρμογές DDS, χρησιμοποιείται ένα φίλτρο χαμηλής διέλευσης για την καταστολή της παρουσίας ψευδών εικόνων στο φάσμα εξόδου. Προκειμένου να διατηρηθούν οι απαιτήσεις αποκοπής στο φίλτρο χαμηλής

διέλευσης . Δεχόμαστε ως αποδεκτό κανόνα τον περιορισμό του εύρους ζώνης fOUT στο 40% περίπου της συχνότητας fCLOCK . Αυτό διευκολύνει τη χρήση εφαρμογής ενώς οικονομικού φίλτρου, χαμηλής διέλευσης στην έξοδο.

Όπως φαίνεται στο Σχήμα 2.1, το πλάτος των αποκρίσεων της συχνότητας εξόδου FOUT καθώς και των εικόνων αυτής , ακολουθεί μια απόκριση μορφής $\sin(X)/NX$. Αυτό οφείλεται στην παραγωγή του δείγματος μέσω κβάντισης . Το πλάτος της θεμελιώδους συχνότητας καθώς και κάθε δεδομένης απόκρισης εικόνας μπορεί να υπολογιστεί χρησιμοποιώντας τον τύπο $\sin(X)/X$. Ανάλογα με τη συνάρτηση απόκρισης rolloff, το πλάτος της θεμελιώδους εξόδου θα μειωθεί αντίστροφα σε αυξήσεις στη συντονισμένη συχνότητά της. Το πλάτος rolloff λόγω $\sin(X)/X$ σε ένα σύστημα DDS είναι $-3,92$ dB στο εύρος ζώνης DC σε Nyquist. Όπως φάνηκε προηγουμένως στο Σχήμα 2.4, οι αρχιτεκτονικές DDS μπορούν να περιλαμβάνουν ένα αντίστροφο φιλτράρισμα SINC το οποίο αντισταθμίζει εκ των προτέρων το rolloff $\sin(X)/X$ και διατηρεί ένα επίπεδο πλάτος εξόδου ($\pm .1$ dB) από τον μετατροπέα D/A εύρος ζώνης έως και 45% του ρυθμού ρολογιού ή 80% του Nyquist.

Είναι σημαντικό να σημειωθεί στην καμπύλη απόκρισης $\sin(X)/X$ που φαίνεται στο Σχήμα 2.6 ότι το πλάτος της 1ης εικόνας είναι σημαντικό: είναι εντός 3dB από το πλάτος του θεμελιώδους στο $fOUT = .33 fCLOCK$. Είναι σημαντικό να δημιουργηθεί ένα σχέδιο συχνότητας σε εφαρμογές DDS και να αναλυθούν οι φασματικές εκτιμήσεις της απόκρισης εικόνας και της απόκρισης πλάτους $\sin(X)/X$ στις επιθυμητές συχνότητες fOUT και fCLOCK .

Οι άλλες ανωμαλίες στο φάσμα εξόδου, όπως τα σφάλματα ολοκλήρωσης και διαφορικής γραμμικότητας του μετατροπέα D/ A, η ενέργεια σφάλματος που σχετίζεται με τον μετατροπέα D/A και ο θόρυβος τροφοδοσίας ρολογιού, δεν θα ακολουθήσουν την κύλιση $\sin(X)/X$ -απενεργοποίηση απάντηση. Αυτές οι ανωμαλίες θα εμφανίζονται ως αρμονικές και παραπλανητική ενέργεια στο φάσμα εξόδου και γενικά θα είναι πολύ χαμηλότερα σε πλάτος από τις αποκρίσεις της εικόνας. Το γενικό επίπεδο θορύβου μιας συσκευής DDS καθορίζεται από τον σωρευτικό συνδυασμό θορύβου υποστρώματος, επιδράσεων θερμικού θορύβου, σύζευξης γείωσης και μιας ποικιλίας άλλων πηγών αλλοίωσης σήματος χαμηλού επιπέδου. Το επίπεδο θορύβου, η απόδοση του κεντρίσματος και η απόδοση του jitter μιας συσκευής DDS επηρεάζονται σε μεγάλο βαθμό από τη διάταξη της πλακέτας κυκλώματος, την ποιότητα των τροφοδοτικών της και την ποιότητα του ρολογιού αναφοράς εισόδου.

Ενότητα 3. Ικανότητα συχνότητας/αναπήδησης φάσης του DDS

Υπολογισμός της λέξης συντονισμού της συχνότητας

Η συχνότητα εξόδου μιας συσκευής DDS καθορίζεται από τον τύπο:

$$f_{OUT} = (M (f_{REFCLK})) / 2^N$$

Όπου:

f_{OUT} = η συχνότητα εξόδου του DDS

M = η δυαδική λέξη συντονισμού

REFCLK = η εσωτερική συχνότητα ρολογιού αναφοράς

N = Το μήκος σε bit του συσσωρευτή φάσης

Το μήκος του συσσωρευτή φάσης (N) είναι το μήκος της λέξης συντονισμού που καθορίζει τον βαθμό ανάλυσης συντονισμού συχνότητας της υλοποίησης DDS.

Για παράδειγμα

Αν θέλουμε να βρούμε τη λέξη συντονισμού συχνότητας για μια συχνότητα εξόδου 41 MHz όπου

το REFCLK είναι 122,88 MHz και το μήκος της λέξης συντονισμού είναι 32 bit (δυαδικό).

Η εξίσωση που θα προέκυπτε θα ήταν:

$$41 \text{ MHz} = (M (122,8 \text{ MHz})) / 2^{32}$$

λύνοντας για M...

$$M = (41 \text{ MHz} (2^{32})) / 122,8 \text{ MHz}$$

M = 556AAAAB στο δεκαεξαδικό

Η φόρτωση αυτής της τιμής του M στον καταχωρητή ελέγχου συχνότητας θα είχε ως αποτέλεσμα μια έξοδο συχνότητας 41 MHz, δεδομένης συχνότητας ρολογιού αναφοράς 122,8 MHz.

Προσδιορισμός της μέγιστης ταχύτητας συντονισμού

Η μέγιστη ταχύτητα συντονισμού μιας υλοποίησης DDS καθορίζεται από την επιλεγμένο τρόπο φόρτωσης των δεδομένων (σειριακό ή παράλληλο). Σε ορισμένες εφαρμογές DDS, είναι επιθυμητή η μέγιστη ταχύτητα συντονισμού συχνότητας εξόδου. Εφαρμογές όπως η διαμόρφωση GMSK και ράμπας- FSK, απαιτούν μέγιστες ταχύτητες συντονισμού συχνότητας για την υποστήριξη φασματικών μεταβάσεων μεταξύ των συχνοτήτων διαμόρφωσης. Όταν η λέξη συντονισμού φορτώνεται από τη διεπαφή ελέγχου, ο περιορισμός στην ενημέρωση συχνότητας βρίσκεται στην ταχύτητα της θύρας διασύνδεσης.

Συνήθως μια συσκευή DDS θα παρέχει ένα παράλληλο φορτίο byte που διευκολύνει τη λήψη δεδομένων στους καταχωρητές ελέγχου με υψηλότερο ρυθμό. Οι ρυθμοί χρονισμού δεδομένων ελέγχου των 100 MHz υποστηρίζονται τυπικά για μια διεπαφή παράλληλου ελέγχου φορτίου byte. Αυτό σημαίνει ότι μια νέα λέξη συντονισμού μπορεί να υπάρχει στην έξοδο μιας συσκευής DDS κάθε 10 nS. Η συνεχής έξοδος φάσης των μεταβάσεων συχνότητας DDS είναι κατάλληλη για εφαρμογές μετάβασης συχνότητας υψηλής ταχύτητας.

Οι συσκευές DDS συνήθως παρέχουν επίσης ένα σύνολο καταχωρητών που μπορούν να προγραμματιστούν εκ των προτέρων με λέξεις συντονισμού. Τα περιεχόμενα αυτών των καταχωρητών εκτελούνται μέσω ενός σήματος σε ένα pin εισόδου που υπάρχει στην συσκευασία του chip

Αυτό παρέχει τη μέγιστη ταχύτητα αναπήδησης συχνότητας εξόδου μεταξύ προ-προγραμματισμένων τιμών συχνότητας. Αυτή η διάταξη είναι ιδιαίτερα κατάλληλη για εφαρμογές διαμόρφωσης FSK όπου οι συχνότητες "mark" και "space" μπορούν εύκολα να προγραμματιστούν εκ των προτέρων. Όταν χρησιμοποιείτε το προ-προγραμματισμένο καταχωρητές, ταχύτητες αναπήδησης συχνότητας εξόδου DDS έως και 250 MHz μπορούν να επιτευχθούν με συσκευές τελευταίας τεχνολογίας

Η διεπαφή ελέγχου DDS

Όλες οι λειτουργίες, οι δυνατότητες και οι διαμορφώσεις μιας συσκευής DDS προγραμματίζονται γενικά μέσω της θύρας διασύνδεσης ελέγχου της συσκευής. Η διεπαφή ελέγχου για συσκευές DDS είναι διαθέσιμη σε διάφορες διαμορφώσεις. Οι κοινές διαμορφώσεις είναι η σειριακή διεπαφή και η παράλληλη διεπαφή φορτίου byte. Οι επιλογές διασύνδεσης κυμαίνονται από έναν μόνο καταχωρητή 40 bit που αποθηκεύει όλες τις λειτουργικές λέξεις ελέγχου, έως μια θύρα σύγχρονης σειριακής επικοινωνίας συμβατή με μικροεπεξεργαστή. Η λειτουργικότητα της διεπαφής ελέγχου και τα διαγράμματα χρονισμού περιγράφονται λεπτομερώς στα φύλλα δεδομένων για τις μεμονωμένες συσκευές DDS.

Προφίλ καταχωρητών

Οι προ-προγραμματισμένοι καταχωρητές είναι συνήθως διαθέσιμοι σε μια συσκευή DDS και επιτρέπουν βελτιωμένη συχνότητα ή μετάβαση φάσης του σήματος εξόδου. Τα δεδομένα που περιέχονται σε αυτούς τους καταχωρητές εκτελούνται μέσω μιας αποκλειστικής χρήσης pin στη συσκευασία και επιτρέπουν στη συσκευή να αλλάξει μια παράμετρο λειτουργίας χωρίς να περάσει από τον κύκλο εντολών της διεπαφής ελέγχου.

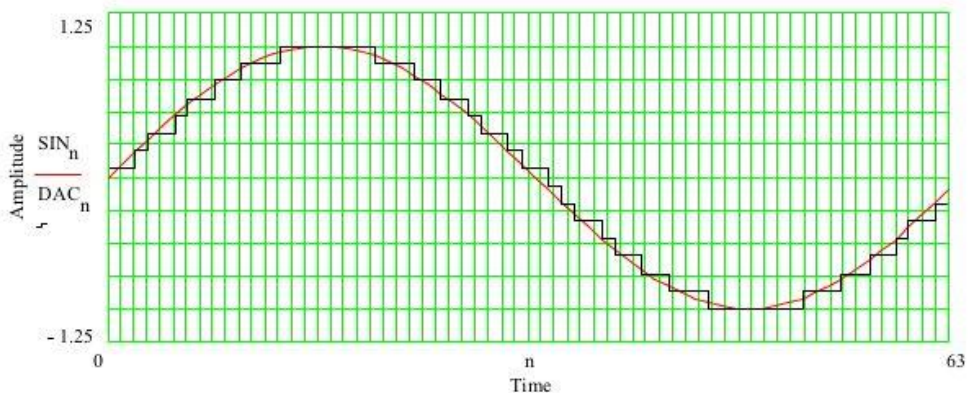
Παραδείγματα των τύπων συναρτήσεων που μπορούν να προγραμματιστούν εκ των προτέρων είναι:

- Λέξη συντονισμού συχνότητας εξόδου – επιτρέπει στο χρήστη να επιτύχει τη μέγιστη ικανότητα μεταπήδησης συχνότητας με μια συσκευή DDS. Η διαθεσιμότητα καταχωρητών επιλογής συχνότητας διευκολύνει επίσης τη χρήση της συσκευής DDS ως διαμορφωτή FSK όπου τα δεδομένα εισόδου κατευθύνουν απευθείας την έξοδο στις επιθυμητές ενδείξεις και χώρο συχνότητων .
- Φάση της συχνότητας εξόδου – αυτή η λειτουργία επιτρέπει στο χρήστη να εκτελέσει προ-προγραμματισμένες αυξήσεις της καθυστέρησης φάσης στο σήμα εξόδου. Το μέγεθος της ανάλυσης καθυστέρησης κυμαίνεται από αυξήσεις $\pm 11,5^\circ$ (5-bit) έως αυξήσεις $\pm ,02^\circ$ (14-bit). Η πληκτρολόγηση της διαμόρφωσης μετατόπισης φάσης (PSK) μπορεί εύκολα να επιτευχθεί με τη χρήση προ-προγραμματισμένων καταχωρητών φάσης.

- Σε εφαρμογές ψηφιακής διαμόρφωσης και τετραγωνικού σήματος οι αρχιτεκτονικές DDS, έχουν πρόσθετες λειτουργίες που μπορούν να προ-προγραμματιστούν σε καταχωρητές προφίλ. Αυτές οι λειτουργίες περιλαμβάνουν απόκριση φίλτρου FIR, ρυθμούς παρεμβολής (upsampling) και ενεργοποίηση/απενεργοποίηση φασματικής αντιστροφής εξόδου.

Ενότητα 4. Η επίδραση της ανάλυσης DAC στην απόδοση ψευδών εικόνων

Η ανάλυση ενός DAC καθορίζεται από τον αριθμό των bit εισόδου του. Για παράδειγμα, η ανάλυση ενός DAC με 10 bit εισόδου αναφέρεται ως «ανάλυση 10 bit». Ο αντίκτυπος της ανάλυσης DAC γίνεται πιο εύκολα κατανοητός με την οπτικοποίηση της ανακατασκευής ενός ημιτονοειδούς κύματος.

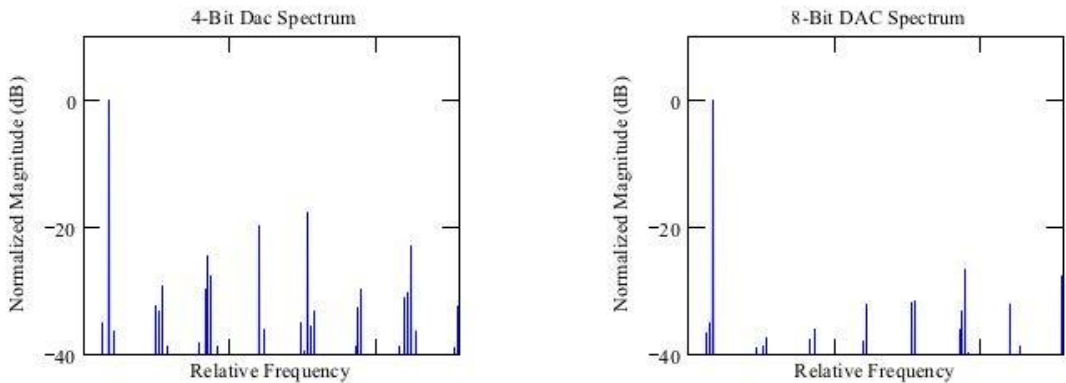


Εικόνα 2.7. Επίδραση της ανάλυσης DAC

Εξετάζοντας το Σχήμα 2.7 στο οποίο χρησιμοποιείται ένα 4-bit DAC (κβαντισμένο μαύρο ίχνος) για την ανακατασκευή ενός τέλει ημιτονοειδούς κύματος (λείο κόκκινο ίχνος). Οι κάθετες γραμμές είναι χρονικοί δείκτες και προσδιορίζουν τις χρονικές στιγμές κατά τις οποίες η έξοδος DAC ενημερώνεται σε μια νέα τιμή. Έτσι, η οριζόντια απόσταση μεταξύ των κάθετων γραμμών αντιπροσωπεύει την περίοδο δείγματος. Σημειώστε την απόκλιση μεταξύ του σήματος εξόδου DAC και του τέλει ημιτονοειδούς κύματος. Η κατακόρυφη απόσταση μεταξύ των δύο ίχνων στις στιγμές δειγματοληψίας είναι το σφάλμα που εισάγεται από το DAC ως αποτέλεσμα της πεπερασμένης ανάλυσής του. Αυτό το σφάλμα είναι γνωστό ως σφάλμα κβαντοποίησης και προκαλεί ένα φαινόμενο γνωστό ως παραμόρφωση κβαντοποίησης.

Για να κατανοήσουμε τη φύση της παραμόρφωσης κβαντοποίησης, παρατηρούμε τις αιχμηρές άκρες στο σήμα εξόδου DAC. Αυτές οι αιχμηρές ακμές υποδηλώνουν την παρουσία εξαρτημάτων υψηλής συχνότητας που υπερτίθενται στην θεμελιώδη συχνότητα εξόδου. Αυτά τα στοιχεία υψηλής συχνότητας είναι που συνιστούν παραμόρφωση κβαντοποίησης.

Στον τομέα της συχνότητας, τα σφάλματα παραμόρφωσης κβαντοποίησης ονομάζονται ψευδώνυμα εντός της ζώνης Nyquist και εμφανίζονται ως διακριτά σπιρούνια (spurs) στο φάσμα εξόδου DAC.



Εικόνα 4.2. Φάσματα εξόδου DAC 4 bit έναντι 8 bit

Καθώς η ανάλυση DAC αυξάνεται, η παραμόρφωση κβαντισμού μειώνεται. δηλαδή, το πλαστό περιεχόμενο του φάσματος εξόδου DAC μειώνεται. Αυτό είναι λογικό γιατί μια αύξηση της ανάλυσης έχει ως αποτέλεσμα τη μείωση του λάθους κβαντισμού. Αυτό, με τη σειρά του, έχει ως αποτέλεσμα λιγότερα σφάλματα στο ανακατασκευασμένο ημιτονοειδές κύμα. Λιγότερο σφάλμα συνεπάγεται λιγότερη παραμόρφωση. δηλαδή λιγότερο ψευδές περιεχόμενο. Αυτό απεικονίζεται γραφικά στο Σχήμα 2.8 Σημειώστε ότι τα spurs που σχετίζονται με το DAC 8-bit είναι γενικά χαμηλότερα από αυτά του DAC 4-bit.

Στην πραγματικότητα, η σχέση μεταξύ της ανάλυσης DAC και του ποσού της παραμόρφωσης είναι μετρήσιμη. Εάν το DAC λειτουργεί στο επίπεδο εξόδου πλήρους κλίμακας, τότε ο λόγος της ισχύος του σήματος προς την ισχύ του θορύβου κβαντοποίησης / Signal power to quantization noise power (SQR) δίνεται από:

$$SQR = 1,76 + 6,02B \text{ (dB)}$$

Όπου B είναι ο αριθμός των bit ανάλυσης DAC.

Για παράδειγμα, ένα DAC 8-bit εμφανίζει SQR 49,92dB. Θα πρέπει να σημειωθεί ότι η εξίσωση SQR καθορίζει μόνο τη συνολική ισχύ θορύβου λόγω σφαλμάτων κβαντισμού. Δεν παρέχει καμία πληροφορία ως προς την κατανομή των spurs ή το μέγιστο επίπεδο τους, μόνο τη συνδυασμένη ισχύ όλων των spurs σε σχέση με τη θεμελιώδη συχνότητα.

Ένα δεύτερο σημείο που πρέπει να λάβετε υπόψη είναι ότι η εξίσωση SQR ισχύει μόνο εάν το DAC λειτουργεί σε πλήρη κλίμακα. Σε επίπεδα εξόδου κάτω από την πλήρη κλίμακα, η ισχύς στη θεμελιώδη συχνότητα μειώνεται, αλλά το σφάλμα κβαντισμού παραμένει σταθερό. Το καθαρό αποτέλεσμα είναι η μείωση του SQR. Δηλαδή, ο θόρυβος κβαντοποίησης γίνεται πιο σημαντικός σε σχέση με τον θεμελιώδη. Το αποτέλεσμα της

λειτουργίας του DAC σε μικρότερη από την πλήρη κλίμακα είναι ποσοτικοποιημένο και δίνεται ως:

$$A = 20\log(\text{FFS}) \text{ (dB)}$$

όπου FFS είναι το κλάσμα της πλήρους κλίμακας στο οποίο λειτουργεί το DAC. Έτσι, η εξίσωση SQR γίνεται:

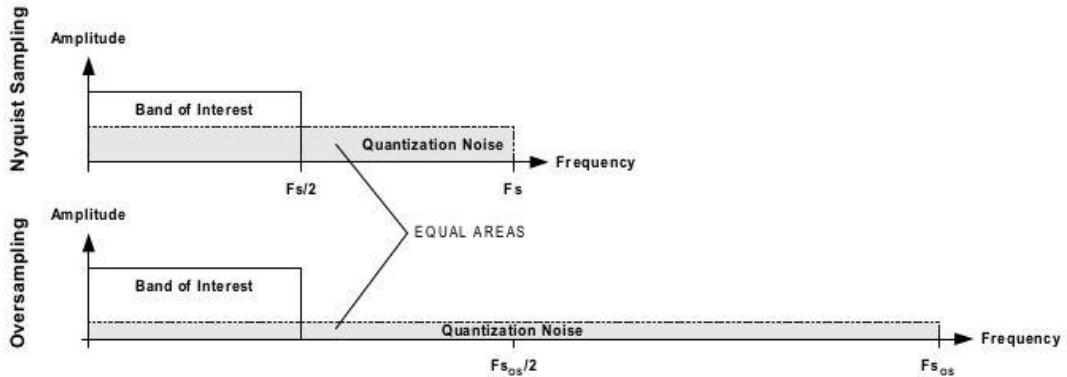
$$\text{SQR} = 1,76 + 6,02B + A = 1,76 + 6,02B + 20\log(\text{FFS}) \text{ (dB)}$$

Συνεχίζοντας το προηγούμενο παράδειγμα, εάν λειτουργεί το DAC στο 70% της πλήρους κλίμακας ($A=0,7$), το SQR που προκύπτει είναι 46,82 dB (μείωση 3,1 dB από την αρχική απόδοση SQR).

Οι επιπτώσεις της υπερδειγματοληψίας στην πλαστή απόδοση.

Στην υπερδειγματοληψία, χρησιμοποιείται ένα ποσοστό δειγματοληψίας που είναι υψηλότερο από αυτό που απαιτείται από τα κριτήρια Nyquist. Θυμηθείτε, το Nyquist απαιτεί το εύρος ζώνης του σήματος του δείγματος να περιορίζεται στο $\frac{1}{2}$ του ρυθμού δειγματοληψίας. Εάν το εύρος ζώνης του σήματος του δείγματος περιορίζεται σκόπιμα σε ένα κλάσμα της απαίτησης Nyquist, τότε ο ρυθμός δειγματοληψίας υπερβαίνει την απαίτηση Nyquist και ουσιαστικά χρησιμοποιείται υπερδειγματοληψία.

Το σχήμα 4.3 δείχνει πώς η υπερδειγματοληψία βελτιώνει το SQR. Η ποσότητα της ισχύος του θορύβου κβαντισμού εξαρτάται από την ανάλυση του DAC. Είναι σταθερή ποσότητα και είναι ανάλογη της σκιασμένης περιοχής. Στην περίπτωση υπερδειγματοληψίας, η συνολική ποσότητα ισχύος θορύβου κβαντισμού είναι η ίδια όπως στην περίπτωση δειγματοληψίας Nyquist. Εφόσον η ισχύς του θορύβου είναι ίδια και στις δύο περιπτώσεις (είναι σταθερή) και η περιοχή του ορθογωνίου θορύβου είναι ανάλογη με την ισχύ του θορύβου, τότε το ύψος του παραλληλογράμμου θορύβου στην περίπτωση υπερδειγματοληψίας πρέπει να είναι μικρότερο από την περίπτωση του Nyquist, προκειμένου να διατηρήσει την ίδια περιοχή. Σημειώστε ότι στη ζώνη ενδιαφέροντος η περιοχή του ορθογωνίου θορύβου είναι μικρότερη για την περίπτωση υπερδειγματοληψίας. Έτσι, για μια δεδομένη ποσότητα ισχύος σήματος στη ζώνη ενδιαφέροντος, η αναλογία σήματος προς θόρυβο είναι μεγαλύτερη όταν χρησιμοποιείται υπερδειγματοληψία.



Εικόνα 4.3. Η επίδραση της υπερδειγματοληψίας στο SQR

Η επίδραση της υπερδειγματοληψίας είναι ποσοτικοποιήσιμη και δίνεται ως:

$$C = 10\log(F_{s_{os}}/F_s) \text{ (dB)}$$

Όπου F_s είναι ο ρυθμός δειγματοληψίας Nyquist και F_{sOS} είναι ο ρυθμός υπερδειγματοληψίας. Η τροποποιημένη εξίσωση SQR είναι:

$$\begin{aligned} \text{SQR} &= 1,76 + 6,02B + A + C \\ &= 1,76 + 6,02B + 20\log(FFS) + 10\log(F_{s_{os}}/F_s) \text{ (dB)} \end{aligned}$$

Επιστρέφοντας στο προηγούμενο παράδειγμα, εάν λειτουργήσουμε το DAC στο 70% της πλήρους κλίμακας και υπερδειγματοληψία κατά συντελεστή 3, το SNR γίνεται 51,59dB. Αυτό συνιστά συνολική βελτίωση 1,67Db πάνω από την αρχική απόδοση πλήρους κλίμακας SQR. Σε αυτήν την περίπτωση, η υπερδειγματοληψία αντιστάθμισε τη λειτουργία του DAC μόνο στο 70% της πλήρους κλίμακας.

Η επίδραση της περικοπής του συσσωρευτή φάσης στην πλαστή απόδοση.

Η περικοπή φάσης είναι μια σημαντική πτυχή των αρχιτεκτονικών DDS. Σκεφτείτε ένα DDS με συσσωρευτή φάσης 32 bit. Για να μετατρέψετε απευθείας 32 bit φάσης σε ένα αντίστοιχο πλάτος θα απαιτούσε 2^{32} καταχωρήσεις σε έναν πίνακα αναζήτησης. Δηλαδή 4.294.967.296 συμμετοχές! Εάν κάθε καταχώρηση αποθηκεύεται με ακρίβεια 8 bit, τότε θα απαιτούνται 4 gigabyte μνήμης πίνακα αναζήτησης. Σαφώς, δεν θα ήταν πρακτικό να εφαρμοστεί ένα τέτοιο σχέδιο.

Η λύση είναι να χρησιμοποιήσετε ένα κλάσμα από τα πιο σημαντικά bits της εξόδου του συσσωρευτή για την παροχή πληροφοριών φάσης. Για παράδειγμα, σε μια σχεδίαση DDS 32 bit, μόνο τα πάνω 12 bit μπορούν να χρησιμοποιηθούν για πληροφορίες φάσης. Τα χαμηλότερα 20 bit θα αγνοηθούν (περικόπτονται) σε αυτήν την περίπτωση.

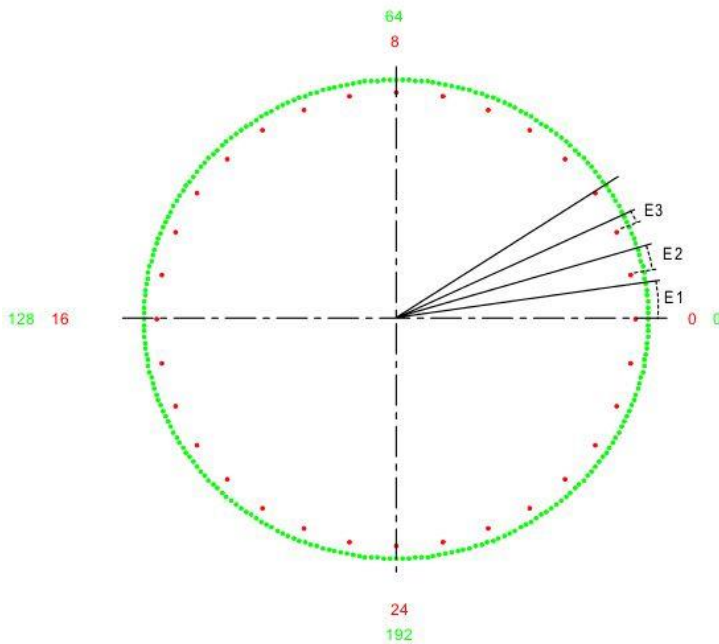
Για να κατανοήσετε τις συνέπειες της περικοπής της εξόδου του συσσωρευτή φάσης, είναι χρήσιμο να χρησιμοποιήσουμε την έννοια του «ψηφιακού τροχού φάσης». Εξετάζοντας μια απλή αρχιτεκτονική DDS που χρησιμοποιεί έναν συσσωρευτή 8-bit του οποίου μόνο τα ανώτερα 5 bit χρησιμοποιούνται για την επίλυση φάσης. Η απεικόνιση του τροχού φάσης αυτού του συγκεκριμένου μοντέλου φαίνεται στο Σχήμα 4.4.

Με έναν συσσωρευτή 8 bit, η ανάλυση φάσης που σχετίζεται με τον συσσωρευτή είναι το $1/256$ του πλήρους κύκλου ή $1,41^\circ$ ($360/256$). Στο Σχήμα 4.4, η ανάλυση της φάσης συσσωρευτή προσδιορίζεται από τον εξωτερικό κύκλο των σημάτων tik. Εάν χρησιμοποιούνται μόνο τα πιο σημαντικά 5 bit του συσσωρευτή για τη μεταφορά πληροφοριών φάσης, τότε η ανάλυση γίνεται $1/32$ του πλήρους κύκλου ή $11,25^\circ$ ($360/32$). Αυτά προσδιορίζονται από τον εσωτερικό κύκλο των σημείων tik.

Τώρα ας υποθέσουμε ότι χρησιμοποιείται μια λέξη συντονισμού τιμής 6. Δηλαδή, ο συσσωρευτής πρέπει να μετράει με προσαιτήσεις του 6. Οι πρώτες τέσσερις γωνίες φάσης που αντιστοιχούν σε 6 βήματα μέτρησης του συσσωρευτή απεικονίζονται στο Σχήμα 4.4. Σημειώστε ότι το πρώτο βήμα φάσης (6 μετρήσεις στον εξωτερικό κύκλο) υπολείπεται του πρώτου εσωτερικού σημείου tik. Έτσι, προκύπτει μια ασυμφωνία μεταξύ της φάσης του συσσωρευτή (ο εξωτερικός κύκλος) και της φάσης όπως καθορίζεται από την ανάλυση 5-bit (ο εσωτερικός κύκλος). Αυτή η απόκλιση οδηγεί σε σφάλμα φάσης $8,46^\circ$ ($6 \times 1,41^\circ$), όπως απεικονίζεται στο τόξο E1 στο σχήμα.

Στο δεύτερο στάδιο φάσης του συσσωρευτή (6 ακόμη μετράνε στον εξωτερικό κύκλο) η φάση του συσσωρευτή βρίσκεται μεταξύ του 1ου και του 2ου σημείου tik στον εσωτερικό κύκλο. Και πάλι, υπάρχει μια ασυμφωνία μεταξύ της φάσης του συσσωρευτή και της φάσης όπως προσδιορίζεται από 5 bit ανάλυσης. Το αποτέλεσμα είναι ένα σφάλμα $5,64^\circ$ ($4 \times 1,41^\circ$) όπως απεικονίζεται στο τόξο E2 στο σχήμα. Ομοίως, στο βήμα της 3ης φάσης του συσσωρευτή προκύπτει σφάλμα $2,82^\circ$ ($2 \times 1,41^\circ$). Στο βήμα της 4ης φάσης, ωστόσο, η φάση συσσωρευτή και η φάση ανάλυσης 5 bit συμπίπτουν με αποτέλεσμα να μην υπάρχει σφάλμα φάσης. Αυτό το μοτίβο συνεχίζεται καθώς ο συσσωρευτής αυξάνεται κατά 6 μετρήσεις στον εξωτερικό κύκλο κάθε φορά.

Προφανώς, τα σφάλματα φάσης που εισάγονται με την περικοπή του συσσωρευτή θα έχουν ως αποτέλεσμα σφάλματα στο πλάτος κατά τη διαδικασία μετατροπής φάσης σε πλάτος που είναι εγγενής στο DDS. Αποδεικνύεται ότι αυτά τα σφάλματα είναι περιοδικά. Είναι περιοδικές επειδή, ανεξάρτητα από την επιλεγμένη λέξη συντονισμού, μετά από επαρκή αριθμό περιστροφών του τροχού φάσης, η φάση του συσσωρευτή και η κολοβωμένη φάση θα συμπέσουν. Δεδομένου ότι αυτά τα σφάλματα πλάτους είναι περιοδικά στον τομέα του χρόνου, εμφανίζονται ως φάσματα γραμμής (σπιρούνια) στον τομέα συχνότητας και είναι αυτά που είναι γνωστά ως ακίδες περικοπής φάσης.



Εικόνα 4.4. Σφάλμα περικοπής φάσης και τροχός φάσης

Αποδεικνύεται ότι το μέγεθος και η κατανομή των ακίδων περικοπής φάσης εξαρτάται από τρεις παράγοντες (Αναφ. [3]):

1. Μέγεθος συσσωρευτή (A bits)
2. Μέγεθος λέξης φάσης (P bits). δηλαδή, ο αριθμός των δυαδικών ψηφίων της φάσης μετά την περικοπή
3. Λέξη Συντονισμού (T)

Ρόλος της περικοπής φάσης στο Μέγεθος των spurs

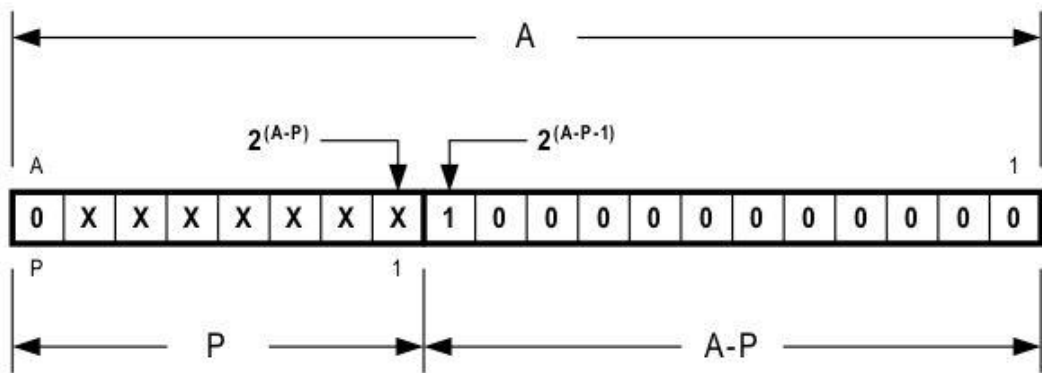
Ορισμένες λέξεις συντονισμού δεν δίνουν καθόλου spurs λογο περικοπής φάσης, ενώ άλλες παράγουν spurs με το μέγιστο δυνατό επίπεδο. Εάν η ποσότητα, A-P, είναι 4 ή περισσότερο (συνήθως ισχύει για οποιοδήποτε πρακτικό σχέδιο DDS), τότε το μέγιστο επίπεδο ώθησης αποδεικνύεται ότι προσεγγίζεται πολύ κατά -6,02P dBc (δηλ. 6,02P ντεσιμπέλ κάτω από το επίπεδο της λέξης συντονισμού συχνότητας). Έτσι, ένα DDS 32 bit με λέξη φάσης 12 bit θα παράγει spurs λογο περικοπής φάσης που δεν υπερβαίνουν τα -72dBc, ανεξάρτητα από τη λέξη συντονισμού που έχει επιλεγεί.

Οι λέξεις συντονισμού που αποδίδουν το μέγιστο επίπεδο ώθησης είναι αυτές που ικανοποιούν τα ακόλουθα:

$$\text{GCD}(T, 2^{(A-P)}) = 2^{(A-P-1)}$$

Όπου ο $\text{GCD}(X, Y)$ είναι ο μεγαλύτερος κοινός διαιρέτης και του X και του Y . Για αυτή την εξίσωση.

Για να είναι αλήθεια, ένα μοτίβο bit λέξης συντονισμού για τη λέξη συντονισμού πρέπει να είναι όπως φαίνεται στην Εικόνα 4.5 παρακάτω



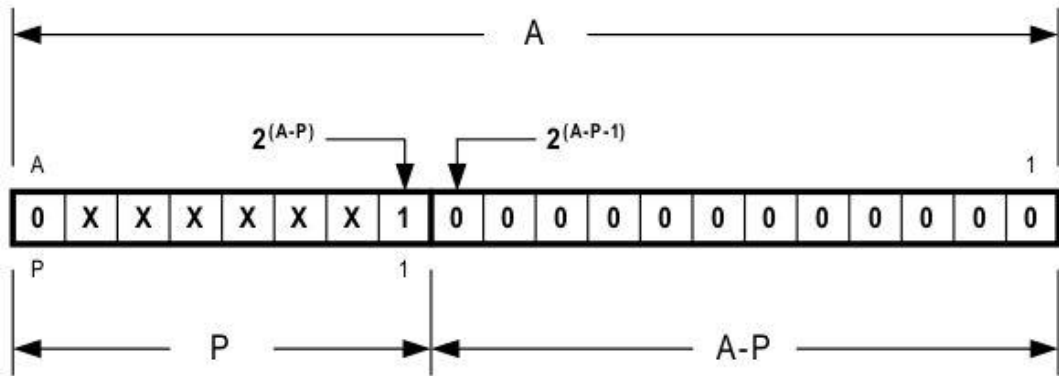
Εικόνα 4.5. Μοτίβα λέξεων Συντονισμού που αποδίδουν μέγιστη παραγωγή spurs

Εμφανίζεται μια λέξη A-bit, η οποία αντιστοιχεί σε συσσωρευτή φάσης με A bit ανάλυσης. Τα πάνω bit P αποτελούν τη λέξη φάσης (τα bit που πρόκειται να χρησιμοποιηθούν για τη μετατροπή από φάση στο πλάτος). Τα κατώτερα bit AP περικόπτονται, δηλαδή αγνοούνται όσον αφορά την ανάλυση φάσης ενδιαφερόμενος. Η λέξη συντονισμού, T, αποτελείται από τα λιγότερο σημαντικά bits A-1 (τα πιο σημαντικά το bit της λέξης συντονισμού πρέπει να είναι 0 για να αποφευχθεί το πρόβλημα του ψευδώνυμου). Όπως φαίνεται στα παραπάνω σχήμα, οποιαδήποτε λέξη συντονισμού με 1 σε bit θέση $2^{(A-P-1)}$ και 0 σε όλες τις θέσεις των λιγότερο σημαντικών bit θα αποφέρει στη χειρότερη περίπτωση επίπεδο ακίδων λογο περικοπής φάσης (-6,02P dBc).

Στο άλλο άκρο βρίσκονται λέξεις συντονισμού που δεν παράγουν ακίδες περικοπής φάσης. Τέτοιες λέξεις συντονισμού πρέπει να ικανοποιούν την εξίσωση

$$\text{GCD}(T, 2^{(A-P)}) = 2^{(A-P)}$$

Για να είναι αληθής αυτή η εξίσωση, το μοτίβο bit λέξης συντονισμού πρέπει να είναι όπως φαίνεται στο Σχήμα 4.6 παρακάτω. Έτσι, οι λέξεις συντονισμού που δεν παράγουν ακίδες λογο περικοπής φάσης χαρακτηρίζονται από λογικό 1 σε θέση bit $2^{(A-P)}$ και 0 σε όλες τις λιγότερο σημαντικές θέσεις bit. Όλα τα άλλα μοτίβα λέξεων συντονισμού που δεν ταιριάζουν με το δύο κατηγορίες παραπάνω θα αποφέρουν επίπεδα spurs λογο περικοπής φάσης μεταξύ των δύο άκρων.



Εικόνα 4.6. Μοτίβα λέξεων συντονισμού που δεν αποδίδουν περικοπές φάσης

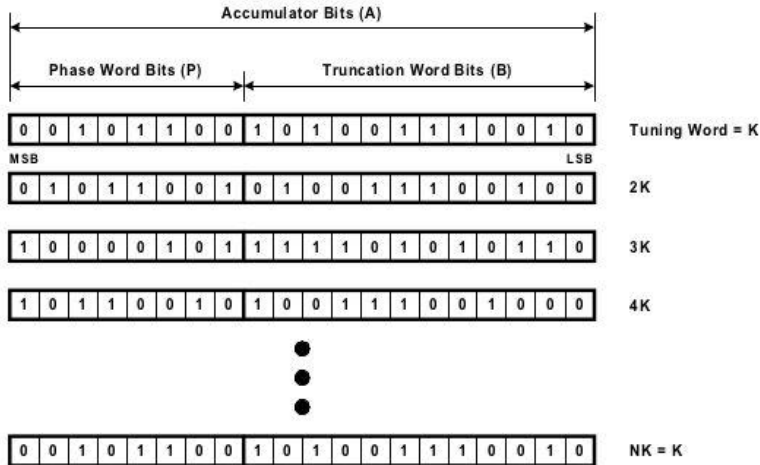
Κατανομή spurs λόγω περικοπής φάσης

Η ακριβής ανάλυση της κατανομής των σπιρουνιών αποκοπής φάσης είναι αρκετά περίπλοκη. Μια αναλυτική προσέγγιση μπορεί να βρεθεί στο [3]. Αντί να εμβαθύνουμε στις λεπτομέρειες της ανάλυσης, μια πιο διαισθητική παρουσίαση ακολουθεί παρακάτω .

Θυμηθείτε, πρώτα απ 'όλα, ότι ο πυρήνας DDS αποτελείται από έναν συσσωρευτή που προσθέτει αναδρομικά την αξία της λέξης συντονισμού . Αρκετές επαναλήψεις αυτής της διαδικασίας φαίνονται στο Σχήμα 4.7. Αρχικά, ο συσσωρευτής περιέχει την τιμή της λέξης συντονισμού (σε αυτήν την περίπτωση, ένας αυθαίρετος δυαδικός αριθμός στον οποίο έχει εκχωρηθεί η μεταβλητή, K). Σε κάθε διαδοχικό κύκλο του ρολογιού του συστήματος DDS, η λέξη συντονισμού προστίθεται στα προηγούμενα περιεχόμενα του συσσωρευτή. Να θυμάστε, ωστόσο, ότι ο συσσωρευτής είναι modulo 2^A , επομένως τα bits που θα μπορούσαν να μεταφερθούν πέρα από το MSB απλά απορρίπτονται. Οπως και η ακολουθία συσσωρευτή προχωρά η τιμή του συσσωρευτή θα επιστρέψει τελικά στο αρχική τιμή της λέξης συντονισμού και η σειρά θα επαναληφθεί. Ο αριθμός των βημάτων (ή των κύκλων ρολογιού) που απαιτείται για να επιτευχθεί αυτό είναι γνωστό ως Μεγάλος Ρυθμός Επανάληψης /Grand Repetition Rate (GRR). Η εξίσωση για τον προσδιορισμό του GRR είναι:

$$GRR = 2^A / \text{GCD}(T, 2^A)$$

Για παράδειγμα, στην περίπτωση που φαίνεται, το A είναι 20 και το T είναι 182.898 (βάση του 10), το οποίο αποδίδει GRR ίσο με 524.288. Από αυτό το αποτέλεσμα μπορεί να φανεί ότι απαιτούνται πάνω από μισό εκατομμύριο κύκλοι ρολογιού πριν ο συσσωρευτής αρχίσει να επαναλαμβάνει τη σειρά του. Αν και αυτό μπορεί να φαίνεται ως μακρά περίοδος επανάληψης, να έχετε κατά νου ότι ορισμένοι πυρήνες DDS χρησιμοποιούν συσσωρευτές 48-bit (A=48), οι οποίοι μπορούν αποδίδουν τεράστιες τιμές GRR.



Εικόνα 4.7. Ακολουθία συσσωρευτή

Ανατρέχοντας , για άλλη μια φορά, στην Εικόνα 4.7. Τα P-bit της λέξης της φάσης περνούν στο τμήμα μετατροπής φάσης σε πλάτος του DDS, το οποίο χρησιμοποιείται για την παραγωγή της κυματομορφής εξόδου. Ωστόσο, τα B-bit της περικομμένης λέξης δεν μεταβιβάζονται στον μετατροπέα φάσης σε πλάτος. Επομένως, εάν τα πλήρη bit A του συσσωρευτή αντιπροσωπεύουν την αληθινή φάση, αλλά μόνο τα P-bit της λέξης φάσης χρησιμοποιούνται για τον προσδιορισμό του πλάτους, τότε το σήμα εξόδου είναι ουσιαστικά σε λάθος από την τιμή της λέξης περικοπής. Έτσι, το σήμα εξόδου μπορεί να θεωρηθεί ως ένα σύνθετο από ένα σήμα πλήρους ανάλυσης (αυτό που θα λαμβανόταν χωρίς περικοπή φάσης) και ένα σήμα σφάλματος λόγω των B-bit της λέξης περικοπής.

Το σφάλμα σήματος , λοιπόν, είναι μια πηγή ψευδούς θορύβου. Εφόσον το σφάλμα του σήματος ορίζεται από τη λέξη περικοπής, τότε η ανάλυση της συμπεριφοράς της λέξης περικοπής θα πρέπει να επιτρέψει κάποια εικόνα για τη φύση του σήματος σφάλματος. Έτσι, θα εστιάσουμε μόνο στη λέξη περικοπής και θα αγνοήσουμε τη λέξη φάσης.

Εάν λαμβάνονται υπόψη μόνο τα bit περικοπής, είναι δυνατό να προσδιοριστεί η περίοδος κατά την οποία επαναλαμβάνεται η λέξη περικοπής. δηλαδή το GRR της λέξης περικοπής. Για παράδειγμα, για τις συνθήκες που δίνονται στο Σχήμα 4.7, η τιμή του A γίνεται 12 (ο αριθμός των bit περικοπής). Η λέξη περικοπής συμπεριφέρεται ως συσσωρευτής B-bit με μια ισοδύναμη λέξη συντονισμού/equivalent tuning word (ETW) που δίνεται από,

$$ETW = \text{Τα συντελεστής } 2^B$$

Όπου T είναι η αρχική λέξη συντονισμού. Το αποτέλεσμα αυτής της λειτουργίας δεν είναι τίποτα περισσότερο από την τιμή του τμήματος της περικομμένης λέξης της αρχικής λέξης συντονισμού. Για το συγκεκριμένο παράδειγμα το ETW είναι 2.674 (βάση 10). Άρα, με A=12 και T=2674, το GRR είναι 2.048. Έτσι, κάθε 2.048 κύκλους ρολογιού, η περικομμένη λέξη θα επαναλαμβάνει το μοτίβο της ακολουθίας της. Έτσι, σε αυτό το σημείο, γνωρίζουμε ότι

έχουμε ένα σήμα σφάλματος που είναι περιοδικό σε ένα χρονικό διάστημα 2.048 κύκλων ρολογιού.

Ποια είναι όμως η συμπεριφορά της περικομμένης λέξης μέσα σε αυτήν την περίοδο; Αυτή η ερώτηση μπορεί να απαντηθεί σημειώνοντας ότι η «χωρητικότητα» της περικομμένης λέξης είναι 2^B . Η διαίρεση της χωρητικότητας με το ETW καθορίζει τον αριθμό των κύκλων ρολογιού που απαιτούνται για την υπερχειλίση του συσσωρευτή. Η χωρητικότητα της περικομμένης λέξης υπολογίζεται εύκολα επειδή στο παράδειγμα που δίνεται το B είναι 12. Αυτό αποδίδει μια χωρητικότητα λέξης περικοπής $2^{12} = 4096$.

Πριν διαιρέσουμε με το ETW, ωστόσο, παρατηρήστε ότι το MSB του ETW είναι 1. Αυτό συνεπάγεται μια περίοδο υπερχειλίσης μικρότερη από 2 κύκλους ρολογιού, που, με τη σειρά του, υποδηλώνει ότι η συχνότητα που παράγεται θα είναι ψευδώνυμο. Επομένως, πρέπει να προσαρμόσουμε το ETW αφαιρώντας το από τη χωρητικότητα της λέξης περικοπής (4096). Έτσι, το προσαρμοσμένο ETW είναι 1422 (4096 – 2674). Εάν το MSB του ETW ήταν 0, η διαδικασία προσαρμογής ψευδωνύμου δεν θα ήταν απαραίτητη.

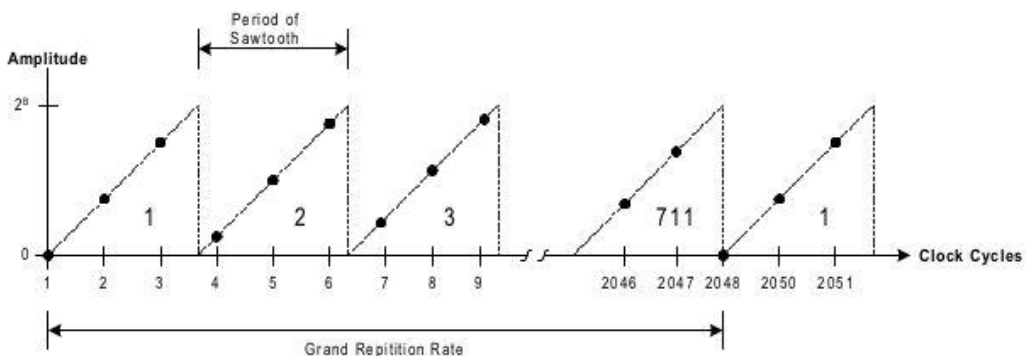
Τώρα που γνωρίζουμε τη χωρητικότητα της λέξης περικοπής και το σωστά προσαρμοσμένο ETW, μπορούμε να προσδιορίσουμε την περίοδο υπερχειλίσης της λέξης περικοπής ως:

$$\text{Χωρητικότητα/ETW} = 2^B / 1422 = 4096/1422 = 2,88045$$

Αυτή η τιμή είναι ο μέσος αριθμός κύκλων ρολογιού που απαιτούνται για την υπερχειλίση της λέξης περικοπής. Εφόσον γνωρίζουμε ότι το GRR της λέξης περικοπής είναι 2048 ρολόγια και ότι χρειάζονται ~2,88 ρολόγια για να υπερχειλίσει η λέξη περικοπής, τότε ο αριθμός των υπερχειλίσεων που εμφανίζονται κατά την περίοδο του GRR είναι:

$$\text{Αριθμός υπερχειλίσης} = \text{GRR}/(\text{Χωρητικότητα/ETW}) = 2048/(4096/1422) = 711$$

Με αυτές τις πληροφορίες είναι δυνατό να απεικονιστεί η συμπεριφορά της λέξης περικοπής όπως φαίνεται στο Εικόνα 4.8 παρακάτω

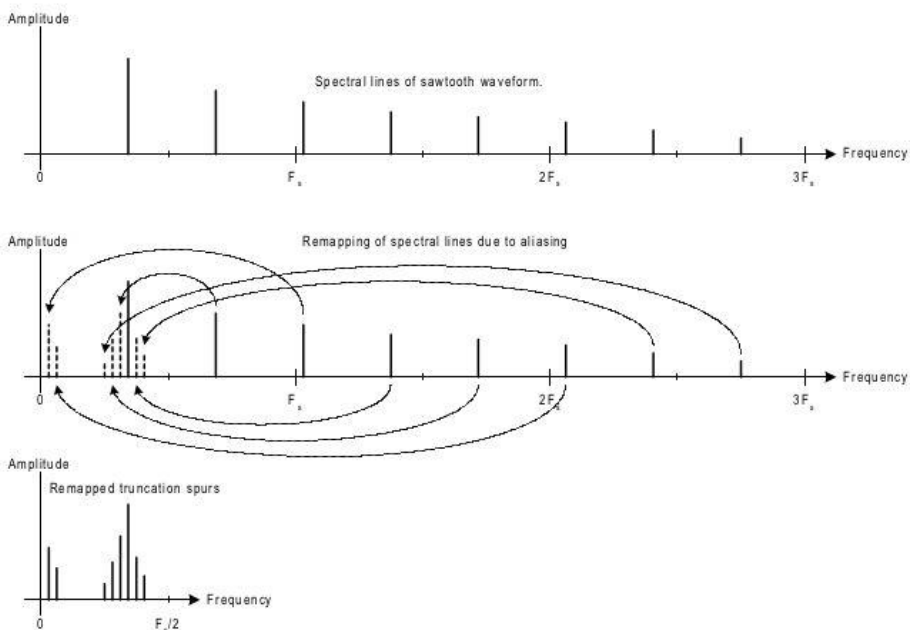


Εικόνα 4.8. Συμπεριφορά της λέξης περικοπής

Σημειώστε ότι η περικομμένη λέξη συσσωρεύεται μέχρι μια μέγιστη τιμή 2^B και έχει μορφή πριονωτής κυματομορφή με περίοδο $4096/1422$ κύκλων ρολογιού. Θα πρέπει να είναι προφανές ότι η Έχει σχήμα α Το σχήμα του πριονιού προκύπτει από το χαρακτηριστικό

υπερχείλισης του συσσωρευτή. Σημειώστε επίσης ότι το η πλήρης ακολουθία περικοπών τιμών λέξης επαναλαμβάνεται μετά από μια περίοδο 2048 κύκλων ρολογιού. Από την στιγμή που η περικομμένη λέξη είναι περιοδική στο πεδίο του χρόνου, τότε ο μετασχηματισμός Fourier είναι επίσης περιοδικός στο πεδίο της συχνότητας. Επίσης, η ακολουθία περικομμένων λέξεων είναι πραγματική ακολουθία, οπότε το Ο μετασχηματισμός Fourier μπορεί να αντιπροσωπεύεται από τα μισά σημεία συχνότητας από όσα σημεία που υπάρχουν στο περιοδικό πεδίο του χρόνου (επειδή ο μετασχηματισμός Fourier μιας ακολουθίας πραγματικού πεδίου χρόνου, είναι συμμετρικός σχετικά με την προέλευση στον πεδίο συχνότητας). Ως εκ τούτου, θα υπάρξουν 1024 διακριτές τιμές συχνοτήτων σχετιζόμενες με τη συμπεριφορά της περικομμένης λέξης, και αυτές οι συχνότητες είναι που αποτελούν αποτελούν τα spurs λογο περικοπής.

Επιπλέον, το φάσμα της ακολουθίας των περικομένων λέξεων θα σχετίζεται με αυτό μιας πριονωτής κυματομορφής. Η βασική συχνότητα της πριονοτης κυματομορφης είναι $F_s \times$ (ETW/Χωρητικότητα) ή $0,3472 F_s$ για το δοσμένο παράδειγμα . Το φάσμα μιας πριονοτης κυματομορφής π αποτελείται από τις αρμονικές της θεμελιώδους . Αφού γνωρίζουμε ότι υπάρχουν 1024 διακριτές συχνότητες που σχετίζονται με την ακολουθία των περικομενων λέξεων, τότε το φάσμα αποτελείται από τριγωνική κυματομορφή με 1024 συχνότητες που εντοπίζονται σε $0,3472 F_s$ απόσταση μεταξύ τους. Αυτό εκτείνεται σε ένα εύρος συχνοτήτων $355,5 F_s$. Αυτό, από φυσικά, έχει ως αποτέλεσμα την παραπομπή των αρμονικών ανώτερης τάξης στο εύρος ζώνης Nyquist, $F_s/2$. Εικόνα Το 4.9 παρακάτω απεικονίζει αυτό το φαινόμενο.



Εικόνα 4.9: Φάσμα περικοπής ακολουθίας λέξεων

Το άνω ίχνος του Σχήματος 4.9 δείχνει το μερικό φάσμα της κυματομορφής του πριονιού. Το μεσαίο ίχνος δείχνει την επαναχαρτογράφηση των φασματικών γραμμών λόγω του

aliasing. Σημειώστε ότι το aliasing προκαλεί σπιρούνια στις ζώνες συχνοτήτων που είναι περιττά ακέραια πολλαπλάσια του $F_s/2$ να αντιστοιχιστούν απευθείας στην περιοχή του $F_s/2$.

Ενώ τα spurs που εμφανίζονται σε ζώνες συχνοτήτων που είναι ακόμη και πολλαπλάσια του $F_s/2$ αντιστοιχίζονται ως κατοπτρικές εικόνες στην περιοχή του $F_s/2$. Τέτοια είναι η φύση του φαινομένου της παραποίησης. Το κάτω ίχνος του σχήματος δείχνει μόνο την περιοχή $F_s/2$ (η ζώνη Nyquist) με τις επαναχαρτογραφημένες φασματικές γραμμές. Αυτό είναι το πραγματικό φάσμα περικοπών που παράγεται από το DDS. Λάβετε υπόψη, ωστόσο, ότι το Σχήμα 4.9 εμφανίζει μόνο το εύρος συχνοτήτων από 0 έως $3F_s$. Το πλήρες φάσμα της κυματομορφής του πριονιού εκτείνεται στην πραγματικότητα $355,5 F_s$. Έτσι, υπάρχουν πολλά περισσότερα σπιρούνια περικοπής από αυτά που φαίνονται στην πραγματικότητα στο Σχήμα 4.9 (η πρόθεση του Σχήματος 4.9 είναι να καταδείξει την ιδέα αντί να είναι εξαντλητικά ακριβής).

Πρόσθετες πηγές DDS Spur

1. Μη γραμμικότητα DAC
1. 2.Εναλλαγή μεταβατικών στοιχείων που σχετίζονται με το DAC
2. Ρολόι τροφοδοσίας

Η μη γραμμικότητα του DAC είναι συνέπεια της αδυναμίας σχεδιασμού ενός τέλει DAC. Θα υπάρχει πάντα ένα σφάλμα που σχετίζεται με το αναμενόμενο επίπεδο εξόδου DAC για έναν δεδομένο κωδικό εισόδου και το πραγματικό επίπεδο εξόδου. Οι κατασκευαστές DAC εκφράζουν αυτό το σφάλμα ως DNL (διαφορική μη γραμμικότητα) (differential nonlinearity) και INL (ολοκληρωτική μη γραμμικότητα) (integral nonlinearity). Το καθαρό αποτέλεσμα των DNL και INL είναι ότι η σχέση μεταξύ της αναμενόμενης εξόδου του DAC και της πραγματικής εξόδου του δεν είναι απολύτως γραμμική. Αυτό σημαίνει ότι ένα σήμα εισόδου θα μετασχηματιστεί μέσω κάποιων μη

γραμμικής διαδικασίας πριν εμφανιστεί στην έξοδο. Εάν ένα τέλει ψηφιακό ημιτονοειδές κύμα τροφοδοτηθεί στο DAC, η μη γραμμική διαδικασία αναγκάζει την έξοδο να περιέχει το επιθυμητό ημιτονοειδές κύμα συν αρμονικές. Έτσι, παράγεται ένα παραμορφωμένο ημιτονοειδές κύμα στην έξοδο DAC. Αυτή η μορφή σφάλματος είναι γνωστή ως αρμονική παραμόρφωση

Θερμικός θόρυβος και θόρυβος φάσης σε ένα σύστημα DDS

Η μέγιστη επιτευχτήμη φασματική καθαρότητα ενός συντιθέμενου ημιτονοειδούς κύματος σχετίζεται τελικά με την καθαρότητα του ρολογιού του συστήματος που χρησιμοποιείται για την οδήγηση του DDS. Αυτό οφείλεται στο γεγονός ότι σε ένα σύστημα δειγματοληψίας το χρονικό διάστημα μεταξύ των δειγμάτων αναμένεται να είναι σταθερό. Ωστόσο, οι πρακτικοί περιορισμοί καθιστούν αδύνατη την τελείως ομοιόμορφη δειγματοληψία. Υπάρχει πάντα κάποια μεταβλητότητα στο χρόνο μεταξύ των δειγμάτων που οδηγεί σε

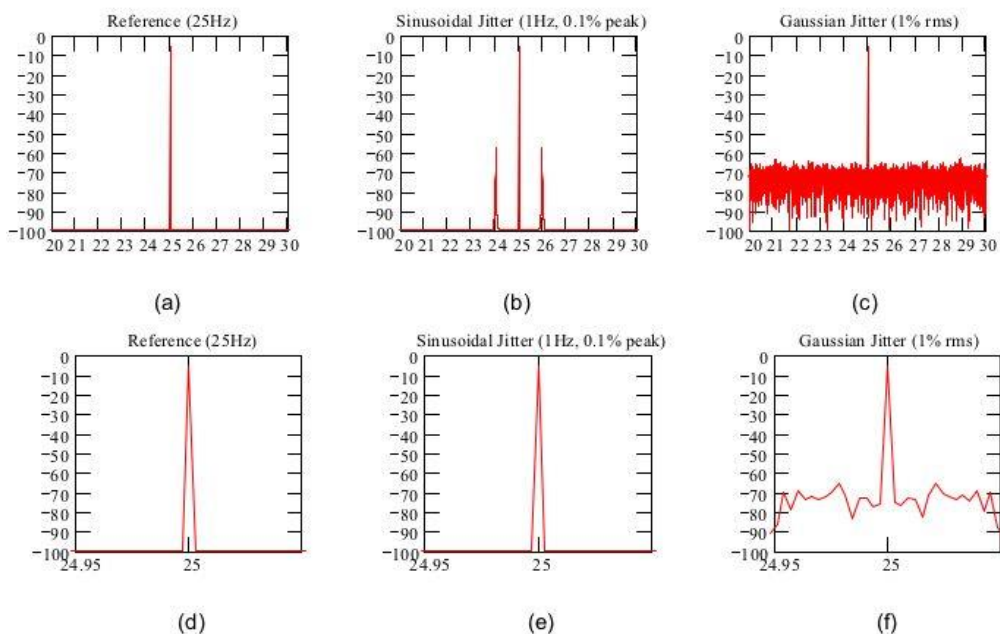
αποκλίσεις από το επιθυμητό διάστημα δειγματοληψίας. Αυτές οι αποκλίσεις αναφέρονται ως timing jitter. Υπάρχουν δύο κύριοι μηχανισμοί που προκαλούν αστάθεια στο ρολόι του συστήματος. Ο πρώτος είναι ο θερμικός θόρυβος και ο δεύτερος ο θόρυβος σύζευξης.

Ο θερμικός θόρυβος παράγεται από την τυχαία κίνηση των ηλεκτρονίων στα ηλεκτρικά κυκλώματα. Οποιαδήποτε συσκευή διαθέτει ηλεκτρική αντίσταση χρησιμεύει ως πηγή θερμικού θορύβου. Δεδομένου ότι ο θερμικός θόρυβος είναι τυχαίος, το φάσμα συχνοτήτων του είναι άπειρο. Στην πραγματικότητα, σε οποιοδήποτε δεδομένο εύρος ζώνης, η ποσότητα της ισχύος θερμικού θορύβου που παράγεται από μια δεδομένη αντίσταση είναι σταθερή

Το συμπέρασμα εδώ είναι ότι οποιοδήποτε κύκλωμα χρησιμοποιείται για τη δημιουργία του ρολογιού του συστήματος θα εμφανίζει πάντα κάποιο πεπερασμένο χρονικό τρεμόπαιγμα- jitter λόγω θερμικού θορύβου. Έτσι, ο θερμικός θόρυβος είναι ο περιοριστικός παράγοντας όταν πρόκειται για την ελαχιστοποίηση του jitter χρονισμού.

Η δεύτερη πηγή καθυστέρησης είναι ο συζευγμένος θόρυβος. Ο συζευγμένος θόρυβος μπορεί να έχει τη μορφή τοπικά συζευγμένου θορύβου που προκαλείται από αλληλεπιδράσεις και/ή βρόχους γείωσης εντός ή δίπλα στην άμεση περιοχή του κυκλώματος. Μπορεί επίσης να εισαχθεί από πηγές μακριά από το κύκλωμα. Παρεμβολή που εμφανίζεται στο κύκλωμα από το περιβάλλον είναι γνωστό ως EMI (ηλεκτρομαγνητική παρεμβολή). Για να αναφέρουμε μόνο μερικά, οι πηγές EMI μπορεί να περιλαμβάνουν κοντινά καλώδια ρεύματος, πομπούς ραδιοφώνου και τηλεόρασης και ηλεκτρικούς κινητήρες,.

Η ύπαρξη του jitter οδηγεί στο ερώτημα: "Πώς το jitter στο ρολόι χρονισμού του συστήματος ενός DDS επηρεάζεται το φάσμα ενός συντιθέμενου ημιτονοειδούς κύματος;" Αυτό εξηγείται καλύτερα μέσω του Σχήματος 4.11, το οποίο είναι μια προσομοίωση Mathcad ενός ημιτονοειδούς με τρέμουλο.



Εικόνα 4.11. Επίδραση του Jitter Ρολογιού Συστήματος

Το Σχήμα 4.11(α)-(γ) εκτείνεται σε ένα εύρος 10Hz με επίκεντρο τη θεμελιώδη συχνότητα των 25Hz, ενώ το Σχήμα 4.11(δ)-(ε) είναι μια "μεγέθυνση" γύρω από τη θεμελιώδη συχνότητα για να δείξει φασματικές λεπτομέρειες κοντά στη θεμελιώδη συχνότητα.

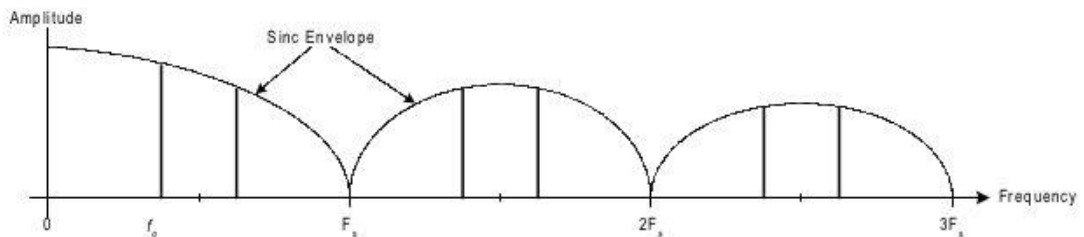
Το σχήμα 4.11(α) και (δ) δείχνει το φάσμα ενός καθαρού ημιτονοειδούς σε συχνότητα 25Hz. Σημειώστε τη μοναδική φασματική γραμμή στα 25 Hz. Αυτή είναι η φασματική υπογραφή ενός καθαρού ημιτονοειδούς. Η διεύρυνση της φασματικής γραμμής στο Σχήμα 4.11 (δ) είναι αποτέλεσμα της πεπερασμένης ανάλυσης του FFT που χρησιμοποιείται στην προσομοίωση.

Το Σχήμα 4.11(β) και (ε) δείχνει το ίδιο ημιτονοειδές αλλά με προστιθέμενο ημιτονοειδές τρεμόπαιγμα χρονισμού. Το jitter ποικίλλει σε συχνότητα 1Hz και έχει μέγεθος που είναι 0,1% της περιόδου του θεμελιώδους 25Hz. Εφόσον η περίοδος του θεμελιώδους είναι 40ms, το μέγεθος του jitter είναι 40μs κορυφή. Έτσι, η δειγματοληψία του θεμελιώδους λαμβάνει χώρα σε διαστήματα που δεν διαχωρίζονται ομοιόμορφα χρονικά. Αντίθετα, οι στιγμιότυπα δειγματοληψίας έχουν ένα σφάλμα χρονισμού που προκαλεί τα σημεία δειγματοληψίας να εμφανίζονται γύρω από τα ιδανικά σημεία δειγματοληψίας με ένα ημιτονοειδές σφάλμα χρονισμού. Έτσι, για το παράδειγμα που δίνεται, το σφάλμα χρονισμού ταλαντώνεται γύρω από τα ιδανικά σημεία δειγματοληψίας με ρυθμό 1Hz με απόκλιση κορυφής 40μs. Σημειώστε ότι το ημιτονοειδές jitter στο ρολί δειγματοληψίας προκαλεί πλευρικές ζώνες διαμόρφωσης να εμφανιστεί στο φάσμα. Επίσης, η φασματική γραμμή παραμένει αμετάβλητη όπως φαίνεται συγκρίνοντας το Σχήμα 4.11(δ) και (ε).

Η συχνότητα του jitter μπορεί εύκολα να προσδιοριστεί από το διαχωρισμό των πλευρικών ζωνών από τη θεμελιώδη (1Hz σε αυτήν την περίπτωση). Το μέγεθος του jitter μπορεί να προσδιοριστεί από το σχετικό πλάτος των πλευρικών ζωνών

Θέματα φιλτραρίσματος εξόδου

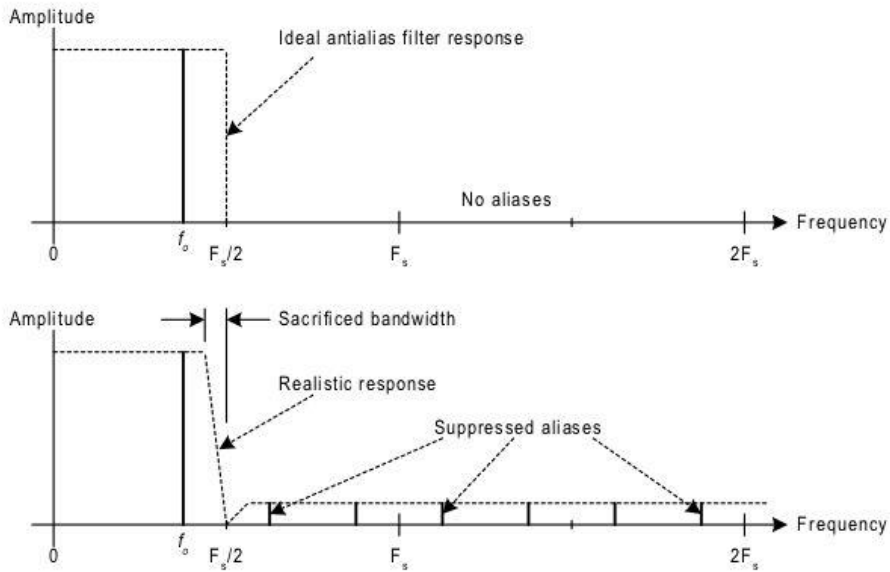
Βασικά, ένα DDS είναι ένα σύστημα δειγματοληψίας. Ως εκ τούτου, το φάσμα εξόδου ενός συστήματος DDS είναι άπειρο. Αν και η συσκευή είναι «συντονισμένη» σε μια συγκεκριμένη συχνότητα, συνάγεται ότι η συντονισμένη συχνότητα βρίσκεται εντός της ζώνης Nyquist ($0 < f_0 < \frac{1}{2}F_s$). Στην πραγματικότητα, το φάσμα εξόδου αποτελείται από τις συχνότητες f_0 και τα ψευδώνυμα του, όπως φαίνεται παρακάτω στο Σχήμα 4.12.



Εικόνα 4.12. Φάσμα εξόδου DDS

Ο φάκελος sinc (ή $\sin[x]/x$) είναι αποτέλεσμα της αναμονής μηδενικής τάξης που σχετίζεται με το κύκλωμα εξόδου του DDS (συνήθως DAC). Οι εικόνες του f_0 συνεχίζονται επ' αόριστον, αλλά με πάντα μειούμενο μέγεθος ως αποτέλεσμα της απόκρισης sinc. Στο Σχήμα 4.12, έχει ληφθεί υπόψη μόνο το αποτέλεσμα της δημιουργίας της θεμελιώδους συχνότητας μέσω της διαδικασίας δειγματοληψίας. Ο παραπλανητικός θόρυβος λόγω αρμονικής παραμόρφωσης, αποκοπής φάσης και όλες οι άλλες πηγές έχουν αγνοηθεί για λόγους σαφήνειας.

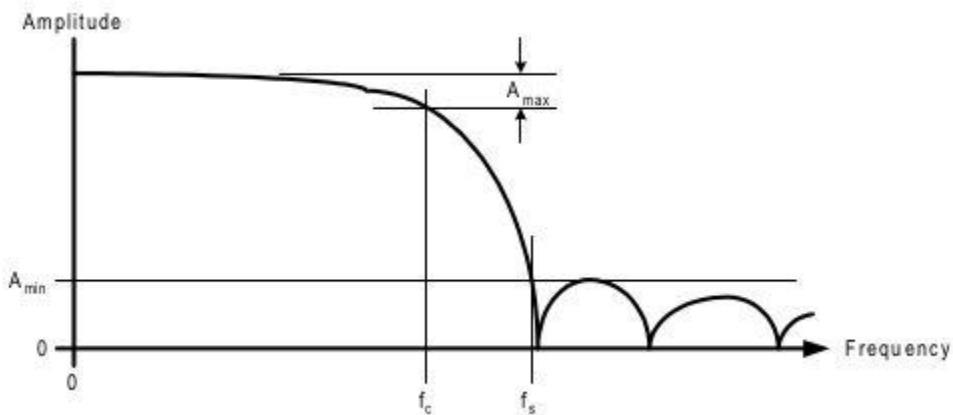
Στις περισσότερες εφαρμογές, τα ψευδώνυμα του θεμελιώδους δεν είναι επιθυμητά. Ως εκ τούτου, το τμήμα εξόδου του DDS συνήθως ακολουθείται από ένα χαμηλοπερατό φίλτρο "antialiasing". Η απόκριση συχνότητας ενός ιδανικού φίλτρου antialias θα ήταν ενότητα πάνω από τη ζώνη Nyquist ($0 < f < \frac{1}{2}F_s$) και 0 αλλού (βλ. Εικόνα 4.13). Ωστόσο, ένα τέτοιο φίλτρο δεν μπορεί να πραγματοποιηθεί φυσικά. Το καλύτερο που μπορεί κανείς να ελπίζει είναι μια εύλογα επίπεδη απόκριση σε κάποιο ποσοστό της ζώνης Nyquist (ας πούμε 90%) με ραγδαία αυξανόμενη εξασθένηση έως και συχνότητα $\frac{1}{2}F_s$ και επαρκή εξασθένηση για συχνότητες πέραν των $\frac{1}{2}F_s$. Αυτό, δυστυχώς, έχει ως αποτέλεσμα τη θυσία κάποιου μέρους του διαθέσιμου εύρους ζώνης εξόδου προκειμένου να επιτραπεί η μη ιδανική απόκριση του φίλτρου antialias.



Εικόνα 4.13. Φίλτρο Antialias

Το φίλτρο antialias είναι ένα κρίσιμο στοιχείο στη σχεδίαση ενός συστήματος DDS. Οι απαιτήσεις που πρέπει να επιβληθούν στον σχεδιασμό του φίλτρου εξαρτώνται σε μεγάλο βαθμό από τις λεπτομέρειες του συστήματος DDS. Πριν συζητήσουμε τους διάφορους τύπους συστημάτων DDS, είναι ωφέλιμο να αναθεωρήσουμε ορισμένους από τους βασικούς τύπους φίλτρων όσον αφορά το πεδίο του χρόνου καθώς και τα χαρακτηριστικά στο πεδίο της συχνότητας.

Συνήθως, κατά την περιγραφή της συμπεριφοράς ενός φίλτρου, επιλέγεται το πεδίο συχνότητας αντί για πεδίου χρόνου. Σε αυτήν την περίπτωση, η προηγούμενη αναλογία παλμογράφου δεν μπορεί να χρησιμοποιηθεί για την παρατήρηση της συμπεριφοράς του φίλτρου. Αντίθετα, πρέπει να χρησιμοποιηθεί ένας αναλυτής φάσματος, επειδή είναι ικανός να μετρήσει το μέγεθος έναντι της συχνότητας (ενώ ένας παλμογράφος μετρά το πλάτος έναντι του χρόνου). Η απόκριση συχνότητας ενός φίλτρου είναι ένα μέτρο του πόσο σήμα θα περάσει το φίλτρο σε μια δεδομένη συχνότητα. Μια υποθετική απόκριση φίλτρου χαμηλής διέλευσης φαίνεται στο Σχήμα 4.16. Τυπικές παράμετροι φίλτρου που ενδιαφέρουν είναι η συχνότητα αποκοπής (f_c), η συχνότητα ζώνης διακοπής (f_s), η μέγιστη εξασθένηση ζώνης διέλευσης (A_{max}) και η ελάχιστη εξασθένηση ζώνης διακοπής (A_{min}).



Εικόνα 4.16. Απόκριση συχνότητας

Υπάρχει ένας σημαντικός λόγος για τη διερεύνηση της σχέσης μεταξύ των πεδίου του χρόνου και το πεδίο συχνότητας όσον αφορά τα φίλτρα. Συγκεκριμένα, η επιλογή ενός συγκεκριμένου τύπου φίλτρου εξαρτάται από το εάν μια εφαρμογή απαιτεί ένα φίλτρο με συγκεκριμένα χαρακτηριστικά πεδίου χρόνου ή ένα φίλτρο με συγκεκριμένα χαρακτηριστικά τομέα συχνότητας .

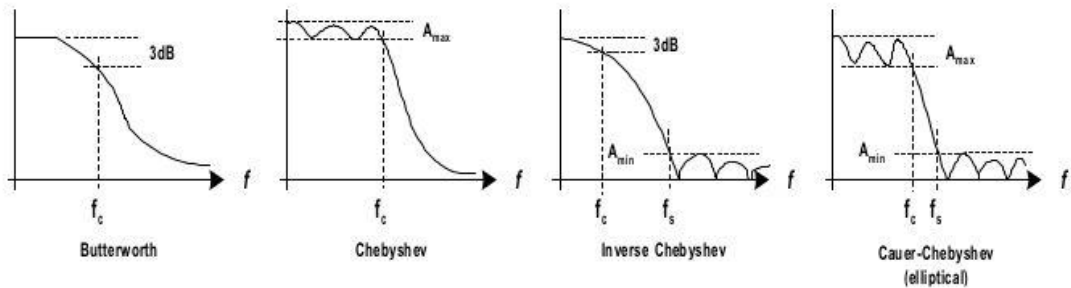
Υπάρχουν πολλές κατηγορίες φίλτρων που υπάρχουν στην τεχνική βιβλιογραφία. Ωστόσο, για τις περισσότερες εφαρμογές το ευρος αυτό μπορεί να περιοριστεί σε τρεις βασικές οικογένειες φίλτρων. Κάθε ένα είναι βελτιστοποιημένο για ένα συγκεκριμένο χαρακτηριστικό είτε στο πεδίο του χρόνου είτε στο πεδίο της συχνότητας . Οι τρεις τύποι φίλτρων είναι οι οικογένειες αποκρίσεων Chebyshev, Gaussian και Legendre. Οι εφαρμογές φίλτρων που απαιτούν αρκετά ευκρινή χαρακτηριστικά απόκρισης συχνότητας εξυπηρετούνται καλύτερα από την οικογένεια αποκρίσεων Chebyshev .

Η οικογένεια των φίλτρων Chebyshev

Η οικογένεια Chebyshev γενικά προσφέρει ευκρινή χαρακτηριστικά στο πεδίο συχνότητας. Ως εκ τούτου, η απόκριση στο πεδίο του χρόνου είναι μάλλον φτωχή με σημαντική υπέρβαση και κυμάτωση και μη γραμμική καθυστέρηση ομάδας. Αυτό καθιστά την οικογένεια Chebyshev κατάλληλη για εφαρμογές στις οποίες τα χαρακτηριστικά στο πεδίο συχνότητας είναι η κυρίαρχη περιοχή ενδιαφέροντος , ενώ τα χαρακτηριστικά του πεδίου χρόνου έχουν μικρή σημασία.

Η οικογένεια Chebyshev μπορεί να υποδιαιρεθεί σε τέσσερις τύπους αποκρίσεων , ο καθένας με τα δικά του ιδιαίτερα χαρακτηριστικά. Οι τέσσερις τύποι είναι η απόκριση Butterworth , η απόκριση Chebyshev , η αντίστροφη απόκριση Chebyshev και η απόκριση Causer-Chebyshev (επίσης γνωστή ως ελλειπτική) .

Το σχήμα 4.17 δείχνει τη γενική απόκριση χαμηλής διέλευσης καθενός από τους τύπους φίλτρων Chebyshev



Εικόνα 4.17. Η οικογένεια των απαντήσεων Chebyshev

Η απάντηση Butterworth είναι εντελώς μονότονη(ομαλα μεταβαλομενη χωρις κυματωση). Η εξασθένηση αυξάνεται συνεχώς καθώς αυξάνεται η συχνότητα. δηλαδή, δεν υπάρχουν κυματισμοί στην καμπύλη εξασθένησης. Από την οικογένεια φίλτρων Chebyshev, η ζώνη διέλευσης της απόκρισης Butterworth είναι η πιο επίπεδη. Η συχνότητα αποκοπής του προσδιορίζεται από το σημείο εξασθένησης 3dB . Η εξασθένηση συνεχίζει να αυξάνεται με τη συχνότητα, αλλά ο ρυθμός εξασθένησης μετά την αποκοπή είναι μάλλον αργός.

Η απόκριση Chebyshev χαρακτηρίζεται από κυματισμούς εξασθένησης στη ζώνη διέλευσης που ακολουθούνται από μονότονα αυξανόμενη εξασθένηση στη ζώνη αποκοπής. Έχει πολύ πιο ευκρινή μετάβαση στη ζώνη αποκοπής από την απόκριση Butterworth. Ωστόσο, το κόστος για την ταχύτερη κύλιση στην ζώνη αποκοπής είναι κυματισμοί στη ζώνη διέλευσης. Η κλίση την κύλισης της ζώνης από κοπής είναι ευθέως ανάλογη με το μέγεθος των κυματισμών της ζώνης διέλευσης. Όσο μεγαλύτεροι είναι οι κυματισμοί, τόσο πιο απότομο είναι απόκριση .

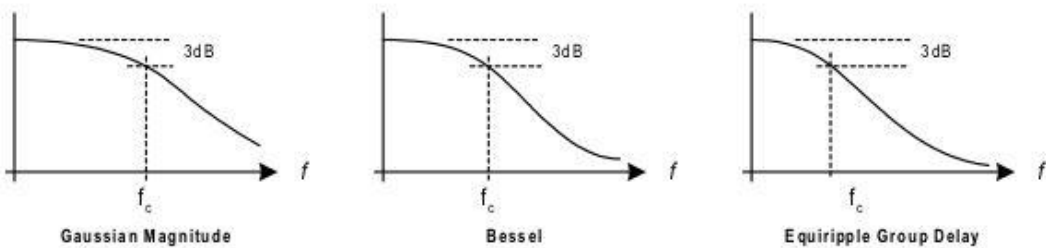
Η αντίστροφη απόκριση Chebyshev χαρακτηρίζεται από μονότονα αυξανόμενη εξασθένηση στη ζώνη διέλευσης με κυματισμούς στη ζώνη αποκοπής. Παρόμοια με την απόκριση Chebyshev, οι μεγαλύτεροι κυματισμοί ζώνης διακοπής δίνουν μια πιο απότομη μετάβαση στη ζώνη αποκοπής.

Η ελλειπτική απόκριση προσφέρει την πιο απότομη μετάβαση στη ζώνη από κοπής από οποιονδήποτε από τους τύπους φίλτρων. Η ποινή, φυσικά, είναι οι κυματισμοί εξασθένησης. Σε αυτή την περίπτωση, τόσο στην ζώνη διέλευσης όσο και ζώνη αποκοπής. Για εφαρμογές που περιλαμβάνουν φίλτρα κατά της μετατροπής, το ελλειπτικό είναι συνήθως το φίλτρο της επιλογής λόγω της απότομης περιοχής μετάβασης.

Η οικογένεια φίλτρων Gaussian

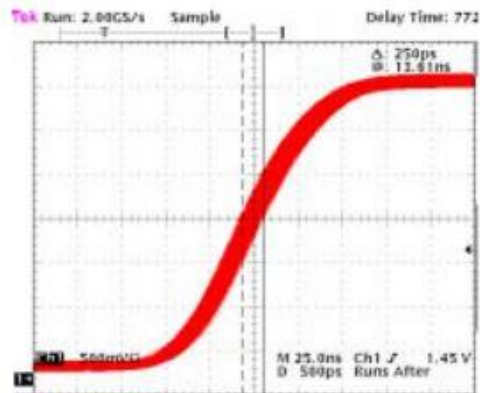
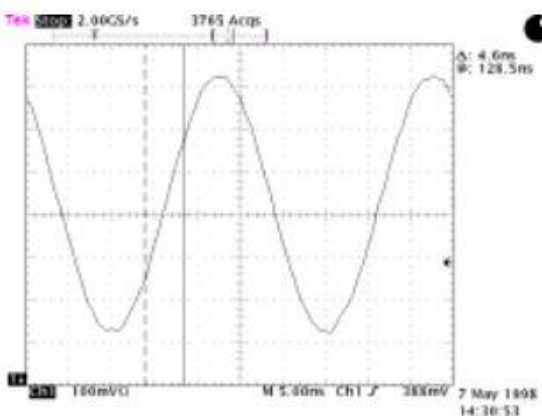
Η οικογένεια φίλτρων αποκρίσεων Gauss είναι κατάλληλη για εφαρμογές στις οποίες τα χαρακτηριστικά του πεδίου χρόνου είναι πρωταρχικής σημασίας. Προσφέρουν ομαλά χαρακτηριστικά πεδίου χρόνου με ελάχιστη έως καθόλου κυμάτωση ή υπέρβαση

Η οικογένεια Gaussian μπορεί να υποδιαιρεθεί σε τρεις τύπους αποκρίσεων, καθένας με τα δικά του ιδιαίτερα χαρακτηριστικά. Είναι η απόκριση Gaussian Magnitude, η απόκριση Bessel και η απόκριση Equiripple Group Delay. Το σχήμα 4.18 δείχνει τη γενική απόκριση χαμηλής διέλευσης καθενός από τους τύπους φίλτρων Gauss. Αν και οι αποκρίσεις μεγέθους και των τριών τύπων φαίνεται να παρουσιάζουν το ίδιο βασικό σχήμα, το καθένα έχει το δικό του ειδικό χαρακτηριστικό πεδίου χρόνου για το οποίο έχει βελτιστοποιηθεί, όπως εξηγείται παρακάτω.



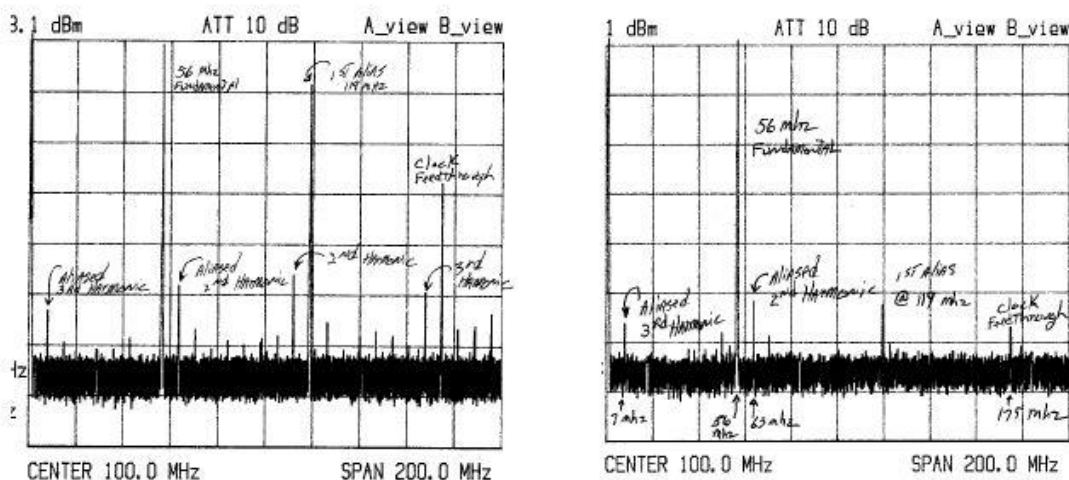
Εικόνα 4.18. Η Gaussian Family of Responses

Το αποτελεσματικό φιλτράρισμα μπορεί να επιτευχθεί ανέξοδα με ένα φίλτρο χαμηλής διέλευσης που μειώνει τα πλαστά εξαρτήματα σε επίπεδο τουλάχιστον -50 dB (κατά προτίμηση περισσότερο) σε σχέση με το βασικό σήμα. Για τα προϊόντα AD985X DDS, ο συγκριτής στο τσιπ έχει εγγενές τρεμούλιασμα άκρων περίπου 80 picoseconds από κορυφή σε κορυφή. Αυτό υποδηλώνει ότι με καλύτερο φιλτράρισμα, το jitter του σήματος ρολογιού μπορεί να μειωθεί ακόμη περισσότερο. Το Σχήμα 7-2 δείχνει το αποτέλεσμα του φιλτραρίσματος του σήματος εξόδου DAC του δείγματος που φαίνεται στο Σχήμα 7-1 με ένα ελλειπτικό χαμηλοπερατό φίλτρο 7ης τάξης με συχνότητα αποκοπής (-3dB) περίπου 65 MHz

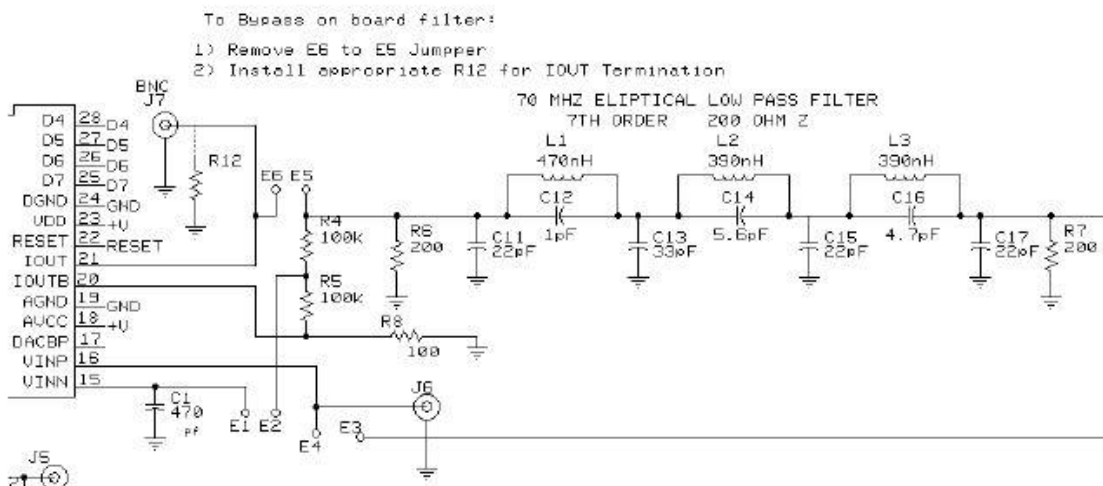


Εικόνα 7-2. Φιλτραρισμένη έξοδος DAC και αντίστοιχη συγκριτική ακμή

Το σχήμα 7-3 παρακάτω δείχνει ένα στιγμιότυπο πεδίου συχνότητας της εξόδου DDS/DAC πριν και μετά το φιλτράρισμα με ένα απλό ελλειπτικό χαμηλοπερατό φίλτρο 7ης τάξης 65 MHz. Το φίλτρο χαμηλής διέλευσης δεν κάνει τίποτα για να αφαιρέσει ψευδώνυμα αρμονικές του θεμελιώδους που εμπίπτουν στη νόμιμη ζώνη διέλευσης της εξόδου DDS. Για αυτόν τον λόγο, το φιλτράρισμα ζώνης διέλευσης θα ήταν καλύτερη επιλογή όταν χρειάζεται μόνο ένα στενό τμήμα της ζώνης διέλευσης DDS.



Εικόνα 7-3: Φάσμα εξόδου DDS/DAC πριν και μετά από 65 MHz Ελλειπτικό LPF



Εικόνα 7-4. Ελλειπτικό Σχέδιο Φίλτρου για Εφαρμογή Γεννήτριας Ρολογιού

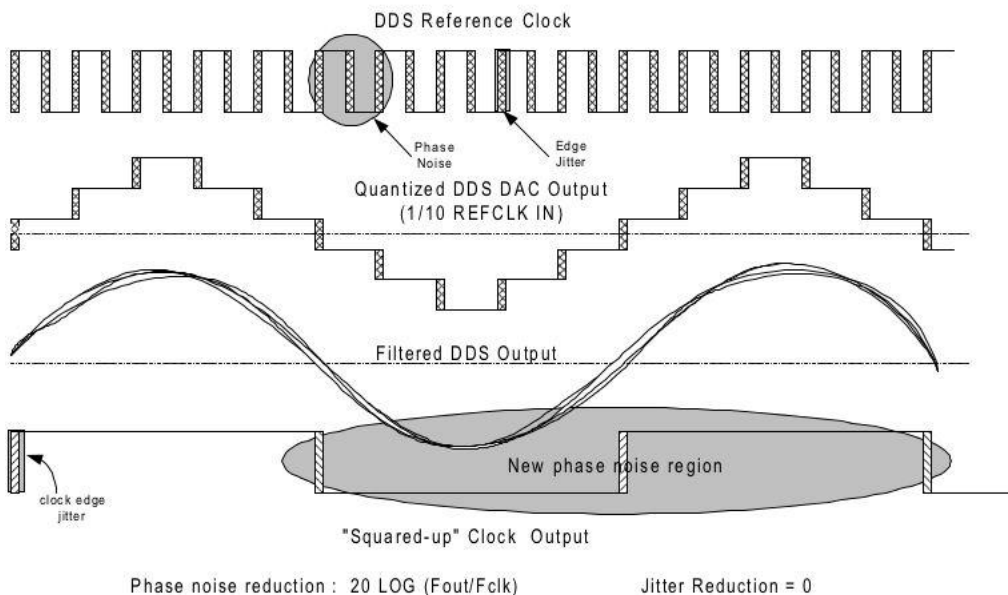
Το κύκλωμα που φαίνεται στο Σχήμα 7-4 είναι ελλειπτικό φίλτρο χαμηλής διέλευσης και ταυτόχρονα κύκλωμα τάσης κατωφλίου (threshold voltage) μέσης τιμής για την εφαρμογή του DDS ως Clock Generator

Στο σχήμα 7-4 παρακάτω φαίνεται το σχηματικό διάγραμμα του ελλειπτικού φίλτρου χαμηλής διέλευσης που χρησιμοποιείται σε μια τυπική εφαρμογή γεννήτριας ρολογιού. Η σύνθετη αντίσταση εισόδου και εξόδου του φίλτρου έχει σχεδιαστεί για 200-Ohm για να επιτρέπει στην έξοδο ρεύματος 10 ma του DDS/DAC να αναπτύξει ένα σήμα p-p 1 volt στην έξοδο του φίλτρου.

Ενότητα 5. Θεωρήσεις ρολογιού αναφοράς

Άμεση οδήγηση ενός DDS από ρολόι αναφοράς

Η ποιότητα του σήματος εξόδου ενός απευθείας ψηφιακού συνθεσάιζερ εξαρτάται από την ποιότητα του σήματος του ρολογιού αναφοράς που οδηγεί το DDS. Σημαντικές πτυχές της ποιότητας του ρολογιού αναφοράς, όπως η σταθερότητα συχνότητας (σε PPM), το jitter άκρων (σε ps ή ns) και ο θόρυβος φάσης (σε dBc/Hz) θα αντικατοπτρίζονται στην έξοδο DDS. Η ποιότητα, λογο θόρυβου φάσης, μειώνεται στην πραγματικότητα ανα : 20 LOG (Fout/Fclk). Αυτό σημαίνει ότι ένα σήμα εξόδου 10 MHz θα έχει 20 dB λιγότερο θόρυβο φάσης από το ρολόι αναφοράς των 100 MHz που το «δημιούργησε». Το παρακάτω σχήμα δείχνει πώς η επεξεργασμένη έξοδο του DDS, επηρεάζεται από το θόρυβο φάσης και το jitter του ρολογιού εισόδου.



Εικόνα 5-1. Η αβεβαιότητα στην άκρη του ρολογιού αναφοράς επηρεάζει αρνητικά την ποιότητα του σήματος εξόδου DDS

Το Σχήμα 5-1 δείχνει πώς ο θόρυβος φάσης, που εκφράζεται στο πεδίο του χρόνου ως jitter περιόδου με μονάδες επί τις εκατό, σχετίζεται με την περίοδο της κυματομορφής και ότι το απόλυτο τρεμόπαιγμα της ακμής δεν επηρεάζεται από τις αλλαγές στη συχνότητα ή την περίοδο. Το σήμα "DDS Reference Clock" στο Σχήμα 5-1 δείχνει ότι το jitter άκρων είναι πολύ υψηλότερο ποσοστό της συνολικής περιόδου από το ίδιο τρεμόπαιγμα άκρων στην "Squared-up Clock Output". Αυτό ευθύνεται για τη βελτίωση του θορύβου φάσης μέσω της διαίρεσης συχνότητας, παρόλο που υπάρχει η ίδια ποσότητα τρεμοπαίγματος ακμών και στις δύο περιόδους ρολογιού.

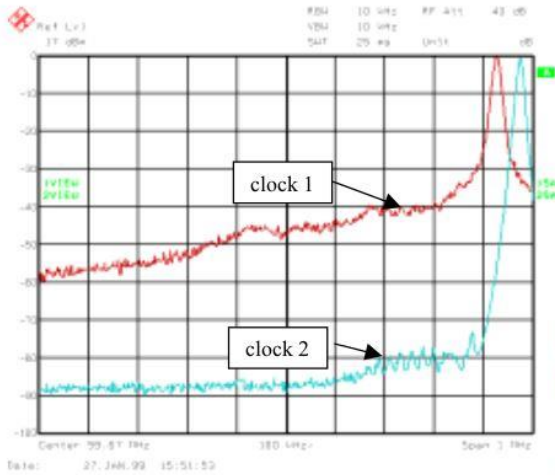
Το τρεμόπαιγμα της ακμής του ρολογιού αναφοράς δεν έχει καμία σχέση με την ακρίβεια των βημάτων αύξησης φάσης που γίνονται από τον συσσωρευτή φάσης. Αυτά τα μεγέθη βημάτων καθορίζονται από τη λέξη «συντονισμού» συχνότητας και χειρίζονται μαθηματικά με εξαιρετική ακρίβεια ανεξάρτητα από την ποιότητα του ρολογιού. Προκειμένου το βήμα της ψηφιακής φάσης να τοποθετηθεί σωστά στον αναλογικό τομέα, πρέπει να πληρούνται δύο κριτήρια:

- Κατάλληλο πλάτος (αυτή είναι η δουλειά του DAC)
- Κατάλληλος χρονισμός (η δουλειά του ρολογιού)

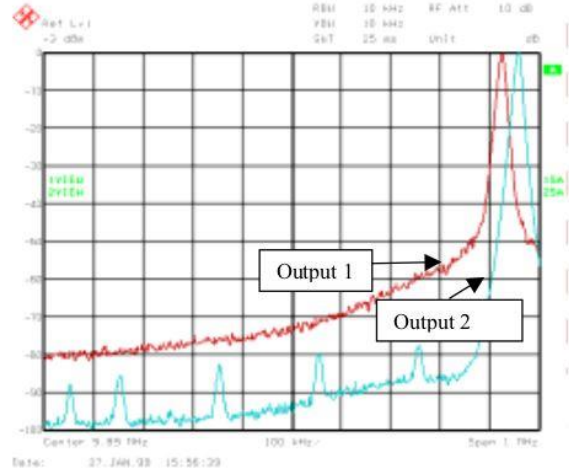
Η βελτίωση του θορύβου φάσης της εξόδου DDS σε σχέση με το ρολόι εισόδου γίνεται πιο εμφανής στον τομέα συχνότητας. Το σχήμα 5-2 είναι ένα στιγμιότυπο οθόνης από έναν αναλυτή φάσματος που δείχνει τον θόρυβο φάσης δύο διαφορετικών ρολογιών αναφοράς DDS. Ο θόρυβος φάσης/jitter της πηγής ρολογιού DDS 100 MHz είναι πολύ πιο έντονος από αυτόν της πηγής ρολογιού 2.

Το σχήμα 5-3 δείχνει την απόκριση εξόδου DDS 10 MHz στις δύο πηγές ρολογιού. Η έξοδος 1 δείχνει 20 dB (βελτίωση 10X) στον θόρυβο φάσης σε σχέση με το ρολόι 1. Η έξοδος 2 δείχνει λιγότερο θόρυβο φάσης από το ρολόι 2, αν και τα 20 dB δεν είναι εμφανή αφού το επίπεδο θορύβου του οργάνου περιορίζει τη μέτρηση. Παρατηρήστε την παρουσία «σπιρουινιών» εξόδου χαμηλού επιπέδου στο χιτώνιο της εξόδου 2. Αυτά τα πλαστά σήματα οφείλονται στην απαραίτητη περικοπή των δυαδικών ψηφίων φάσης στο στάδιο φάσης προς πλάτος DDS και στον αλγόριθμο που χρησιμοποιείται για την εκτέλεση του μετασχηματισμού. Αυτά τα πλαστά σήματα υπάρχουν επίσης στην έξοδο 1, αλλά ο υπερβολικός θόρυβος φάσης του

σήματος συγκαλύπτει την παρουσία τους. Αυτό δείχνει γιατί ο θόρυβος φάσης είναι σημαντικός για τη διατήρηση της καλής αναλογίας σήματος προς θόρυβο στο ραδιόφωνο και σε άλλα ευαίσθητα στον θόρυβο συστήματα.



Εικόνα 5-2: Καλός και φτωχός θόρυβος φάσης ρολογιού



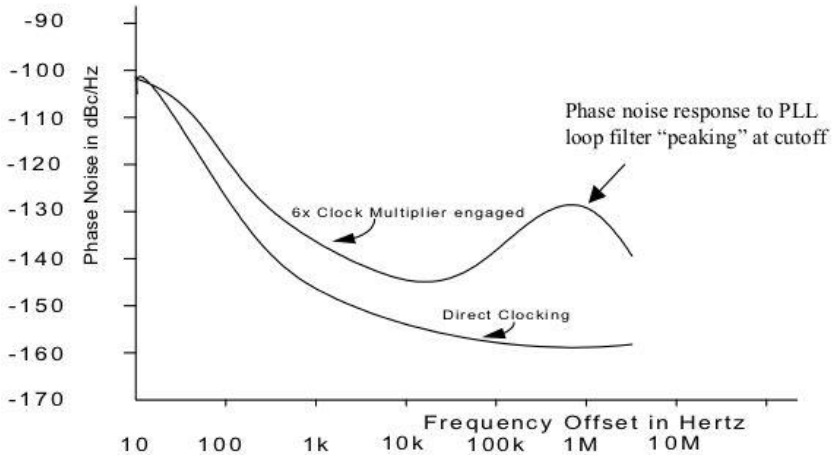
Εικόνα 5-3: Απόκριση εξόδου DDS

Χρήση κυκλώματος πολλαπλασιαστή εσωτερικού ρολογιού αναφοράς

Πολλά προϊόντα αναλογικών συσκευών DDS και ψηφιακού διαμορφωτή διαθέτουν κυκλώματα πολλαπλασιαστή ρολογιού αναφοράς στο chip. Αυτοί οι πολλαπλασιαστές, οι οποίοι μπορούν να ενεργοποιηθούν ή να παρακαμφθούν, επιτρέπουν τη χρήση ταλαντωτών ρολογιού χαμηλότερης συχνότητας για τον χρονισμό του DDS σε πολύ υψηλότερες συχνότητες. Διατίθενται προγραμματιζόμενες ή σταθερές τιμές πολλαπλασιαστή από $4\times$ έως $20\times$. Είναι επιθυμητά επειδή μπορούν εύκολα να λύσουν ένα πρόβλημα χρονομέτρησης υψηλής ταχύτητας ή να επιτρέψουν το συγχρονισμό του DDS σε ένα «master clock» ενός άλλου υπάρχοντος συστήματος ρολογιού. Επιτρέπουν απλοποιημένες εφαρμογές και μειώνουν το κόστος ενός ταλαντωτή ρολογιού παροχής υψηλής συχνότητας.

Ωστόσο, η λειτουργία REFCLK Multiplier δεν είναι η βέλτιστη λύση για κάθε εφαρμογή. Υπάρχει μια αντιστάθμιση όσον αφορά την ποιότητα του σήματος εξόδου κάθε φορά που εμπλέκεται ο πολλαπλασιασμός συχνότητας REFCLK

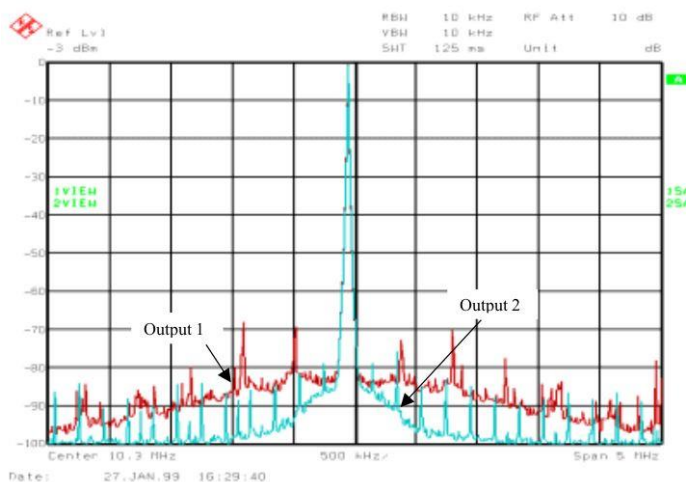
Για παράδειγμα, ένας πολλαπλασιαστής ρολογιού $6\times$ θα υποβαθμίσει τον θόρυβο φάσης ρολογιού εισόδου ενός ταλαντωτή -110 dBc/Hz κατά $15,5$ dB, με αποτέλεσμα έναν θόρυβο φάσης ρολογιού αναφοράς $-94,5$ dBc/Hz. Επιπλέον, τα χαρακτηριστικά του φίλτρου βρόχου PLL μπορεί να προκαλέσουν «κορυφώματα» της απόκρισης θορύβου φάσης κοντά στην αποκοπή. Το σχήμα 5-4 δείχνει την τυπική υποβάθμιση του θορύβου φάσης εξόδου DDS στη συσκευή AD9851 που έχει ολόκληρο το φίλτρο βρόχου στο τσιπ. Άλλες συσκευές DDS με τμήματα του φίλτρου βρόχου εκτός τσιπ δεν θα επιδεικνύουν αιχμή στην απόκριση του φίλτρου.



Εικόνα 5-4. Τυπικός θόρυβος φάσης DDS με και χωρίς λειτουργία πολλαπλασιαστή ρολογιού

Απόδοση DDS SFDR

Η χρήση του πολλαπλασιασμού του ρολογιού αναφοράς έχει επίσης αντίκτυπο στο SFDR (δυναμικό εύρος χωρίς ψευδείς). Το Σχήμα 5-5 δείχνει δύο φασματικές γραφικές παραστάσεις της ίδιας συχνότητας εξόδου εκτός από το ότι η έξοδος 1 έχει ενεργοποιημένη λειτουργία πολλαπλασιαστή ρολογιού 6 × και η έξοδος 2 είναι απευθείας χρονισμένη. Το κοντινό SFDR (+/- 1 MHz) δείχνει SFDR των -68 dBc για την πολλαπλασιασμένη έξοδο ρολογιού και -78 dBc για την έξοδο με άμεσο χρονισμό. Αξιοσημείωτο είναι επίσης το ελαφρώς αυξημένο επίπεδο θορύβου της εξόδου 1.



Εικόνα 5-5. Φασματική γραφική παράσταση εξόδου DDS με και χωρίς πολλαπλασιασμό ρολογιού αναφοράς

Ακόμη και αν ληφθούν υπόψη οι ανταλλαγές απόδοσης, η καλή απόδοση, η ευκολία και η εξοικονόμηση κόστους ενός πολλαπλασιαστή ρολογιού αναφοράς στο chip υποστηρίζουν τη χρήση του για πολλές, αν όχι τις περισσότερες, εφαρμογές DDS. Ωστόσο, για την καλύτερη απόδοση SFDR και θορύβου φάσης, είναι απαραίτητος ο άμεσος χρονισμός ενός DDS με έναν ταλαντωτή ρολογιού (ή ημιτονοειδή πηγή) καλής ποιότητας.

Ενότητα 6. Διασύνδεση με την έξοδο DDS

Χαρακτηριστικά Εξόδου

Τα IC DDS υψηλής ταχύτητας με ενσωματωμένα DAC παρέχουν ρεύμα εξόδου σε αντίθεση με τάση εξόδου. Αυτό το ρεύμα μπορεί να αντληθεί σε οποιοδήποτε φορτίο αντίστασης, συμπεριλαμβανομένου ενός νεκρού βραχυκυκλώματος, εφόσον η τάση που αναπτύσσεται στον ακροδέκτη εξόδου DAC (όταν αναφέρεται στη γείωση) δεν παραβιάζει την προδιαγραφή συμμόρφωσης εξόδου DAC. Η συμμόρφωση εξόδου είναι απλώς η μέγιστη τάση στον ακροδέκτη εξόδου DAC, θετική και αρνητική, που επιτρέπεται για τη σωστή λειτουργία του DAC.

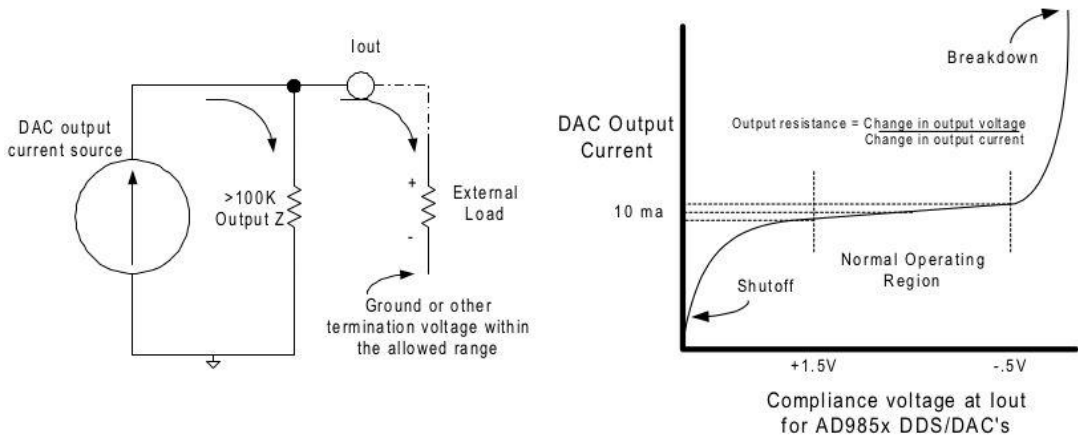
Οι τάσεις συμμόρφωσης πέρα από τα όρια θα προκαλέσουν μέτρια έως δραστική παραμόρφωση εξόδου DAC. Κανονικά, οι έξοδοι τερματίζονται στη γείωση μέσω μιας αντίστασης όπως στο Σχήμα 6-1. Οι χρήστες μπορούν να τερματίσουν σε οποιαδήποτε τάση που δεν παραβιάζει τις προδιαγραφές συμμόρφωσης κατά τη λειτουργία του DAC. Τα AD985X DDS DAC θα δώσουν ρεύμα σε ένα φορτίο σύμφωνα με την ακόλουθη εξίσωση:

$$I_{out} = 39,93/R_{set} \text{ όπου } I_{out} = \text{Amps και } R_{set} = \text{ohms.}$$

Η τάση εξόδου ενός DAC για μια εφαρμογή DDS αποφεύγεται λόγω εσωτερικών απωλειών $I * R$ που θα προκαλούσαν διακύμανση της τάσης εξόδου σε ένα φορτίο ανάλογα με την αντίσταση φορτίου. Οι έξοδοι ρεύματος θα τροφοδοτούν ή θα μειώνουν το ονομαστικό ρεύμα τους με μικρή διακύμανση εξόδου πλήρους κλίμακας προς ή από το φορτίο, εφόσον η συμμόρφωση της εξόδου είναι εντός των ορίων. Το DAC με μεταγωγή ρεύματος γενικά παρουσιάζει καλύτερη απόδοση σε υψηλότερους ρυθμούς ρολογιού. Η προδιαγραφή αντίστασης εξόδου DDS/DAC είναι η συνδυασμένη σύνθετη αντίσταση (βλ. Εικ. 6-1 παρακάτω) των συσκευών CMOS που περιλαμβάνουν τους διακόπτες και το κύκλωμα πηγής ρεύματος. Η αντίσταση εξόδου DAC είναι τόσο υψηλή (συνήθως >100k ohms) που η παρουσία της μπορεί να αγνοηθεί και η αντίσταση φορτίου, που επιλέγεται από τον χρήστη, ουσιαστικά ορίζει την αντίσταση εξόδου DAC.

Το ρεύμα εξόδου του AD985X DDS/DAC είναι μονοπολικό. Εάν η γείωση είναι το σημείο τερματισμού της αντίστασης φορτίου εξόδου, τότε οι τάσεις που αναπτύσσονται στην αντίσταση θα κυμαίνονται από 0 βολτ (μηδενική κλίμακα) έως κάποιο θετικό ή αρνητικό άκρο (πλήρης κλίμακα). Αντίθετα, ένα διπολικό ρεύμα θα αναπτύξει μια αρνητική ακραία

τάση (μηδενική κλίμακα) και θα επεκταθεί σε κάποια θετική ακραία τάση (πλήρης κλίμακα)...το κεντρικό σημείο (μεσαία κλίμακα) μεταξύ των δύο άκρων είναι συνήθως 0 βολτ.

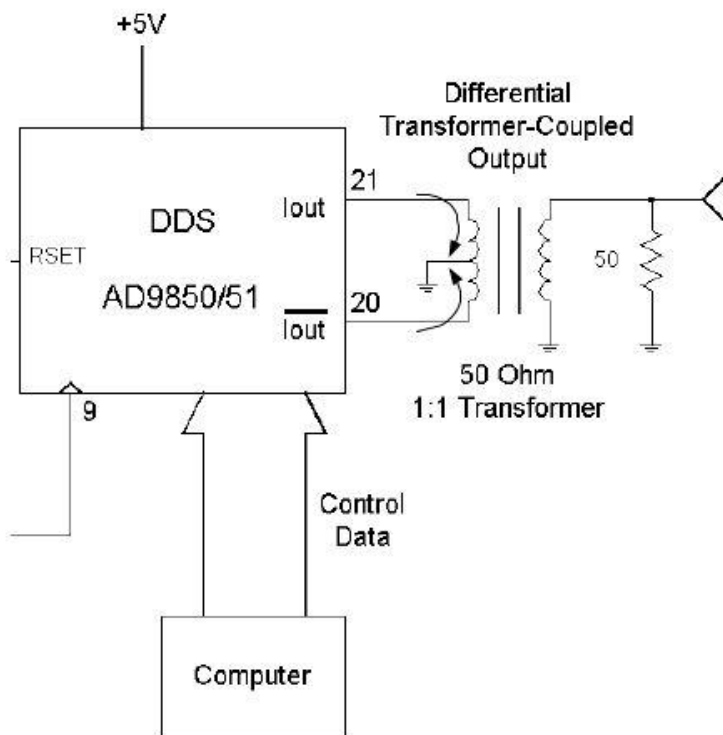


Εικόνα 6-1. Σύνδεση κανονικού φορτίου και αντίσταση εξόδου

Γιατί έχει σημασία το μονοπολικό ρεύμα; Πρώτον, το κεντρικό σημείο του ημιτονοειδούς κύματος της εξόδου DDS, θα είναι η dc αντισταθμισή dc-offset προερχόμενη από το δυναμικό του φορτίου τερματισμού, με τιμή το ήμισυ της τάσης πλήρους κλίμακας. Αυτό μπορεί να είναι μια σημαντική παράμετρος κατά την εφαρμογή αυτού του σήματος σε ενισχυτή συζευγμένου συνεχούς ρεύματος, καθώς το εξάρτημα συνεχούς ρεύματος θα μπορούσε να προκαλέσει ψαλίδισμα της εξόδου του ενισχυτή

Σύγκριση μετασηματιστή και συζευγμένης εξόδου ενός άκρου

Η έξοδος DDS DAC της σειράς AD985X αποτελείται στην πραγματικότητα από δύο εξόδους, με διαφορά φάσης 180 μοίρες μεταξύ τους (η αληθινή και η συμπληρωματική). Αυτά τα δύο σήματα μπορούν να συνδυαστούν σε έναν center-tapped (κεντρικά τοποθετημένης γείωσης) μετασηματιστή ραδιοσυχνότητων για να παράγουν τη συμμετρική κυματομορφή

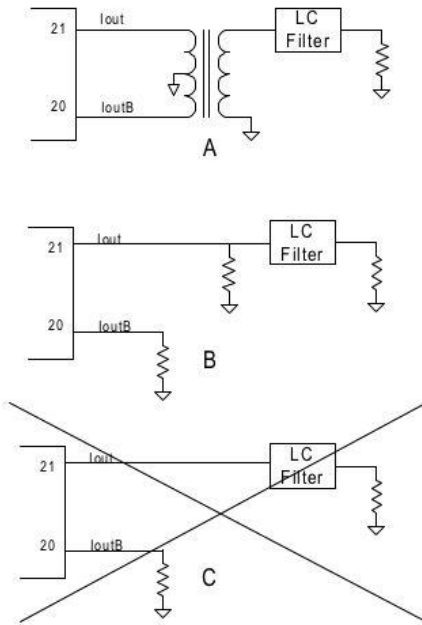


Εικόνα 6-3. Συνδυασμός συμπληρωματικών εξόδων για την επίτευξη συμμετρικού φακέλου εξόδου

από τα δύο ρεύματα που είναι διαθέσιμα από τις εξόδους lout και loutB. Για παράδειγμα, εάν το Rset έχει ρυθμιστεί για 10 ma πλήρους κλίμακας, τότε εάν η μία έξοδος είναι στα 2 ma, η άλλη πρέπει να είναι στα 8 ma...αν η μία είναι στα 0 ma, η άλλη πρέπει να είναι στα 10 ma, κ.λπ. Συνδυάζοντας αυτά δύο συμπληρωματικά ρεύματα σε έναν μετασχηματιστή όπως στο Σχήμα 6-3, ο «φάκελος εξόδου» γίνεται συμμετρικός και το dc offset χάνεται.

Η σύζευξη μετασχηματιστή είναι επίσης ευεργετική για τη σύζευξη των εξόδων ρεύματος DAC με άεργες εισόδους, όπως τα φίλτρα LC (Εικόνα 6-4A). Η χαμηλής σύνθετης αντίστασης διαδρομή προς τη γείωση μέσω της κεντρικής γείωσης (center tap) του μετασχηματιστή είναι πολύ καλύτερη από τη λήψη της δραστικής οδού μέσω ενός φίλτρου LC που τερματίζεται μόνο στην έξοδο του φίλτρου (Εικόνα 6-4C). Χωρίς μετασχηματιστή, η επόμενη καλύτερη μέθοδος είναι να εφαρμόσετε την έξοδο ρεύματος DAC σε ένα φίλτρο LC που έχει διπλό τερματισμό, όπως φαίνεται στο Σχήμα 6-4B. Τα βέλη στο Σχήμα 6-3 δείχνουν τη ροή ρεύματος στον πρωτεύοντα μετασχηματιστή ευρείας ζώνης 1:1 και πώς μπορεί να χρησιμοποιηθεί το μονοπολικό ρεύμα δύο συμπληρωματικών εξόδων για την προσομοίωση ενός διπολικού ρεύματος. Η αντίσταση φορτίου των 50 ohm στο δευτερεύον μετασχηματιστή αντανακλάται στον κεντρικό άξονα του μετασχηματιστή όπου μοιάζει με φορτίο 25 ohm για κάθε έξοδο. Ο διαφορετικός του 1:1 λόγος στροφών στα τυλίγματα του μετασχηματιστή (turns-ratios) θα επιτρέψουν τη χρήση διαφορετικών φορτίων χωρίς παραβίαση της προδιαγραφής συμμόρφωσης εξόδου DDS DAC. Οι τάσεις που

αναπτύσσονται στις ακίδες 20 και 21 (ένα AD985X DDS) στα Σχήματα 6-3 και 6-4A δεν θα είναι πλέον μονοπολικές όπως θα ήταν, αν κάθε ακίδα οδηγούσε ένα ωμικό φορτίο στη γείωση (Εικόνα 6- 4B & Γ) . Αντίθετα, οι τάσεις θα είναι διπολικές και συμμετρικές γύρω από την τάση που υπάρχει στην κεντρική γείωση σε αυτήν την περίπτωση. Αυτός ο μετασχηματισμός από μονοπολική σε διπολική τάση είναι αναμενόμενος καθώς τα μαγνητικά πεδία του πρωτεύοντος κεντρικού άξονα δημιουργούνται και εξαλείφονται



Εικόνα 6-4: Σύζευξη αντιδρώντων φορτίων στην έξοδο DDS DAC

Ένα άλλο πλεονέκτημα της σύζευξης μετασχηματιστή είναι το φαινόμενο της απόρριψης κοινού σήματος . Εάν οι έξοδοι DDS DAC (Iout και IoutB) περιέχουν σήματα που είναι κοινά ή πανομοιότυπα μεταξύ τους...όπως το σήμα του ρολογιού χρονισμού, AC στοιχεία τροφοδοσίας ή άλλα ψευδή σήματα, τότε αυτά τα σήματα μπορούν να μειωθούν ή να εξαλειφθούν από το φάσμα εξόδου από τον μετασχηματιστή σύζευξη. Εάν παρουσιαστούν πανομοιότυπα σήματα στις δύο κύριες εισόδους του μετασχηματιστή όπως στο Σχήμα 6-4A, τότε τα αντίθετα πεδία τους θα ακυρώσουν το ένα το άλλο σε κάποιο βαθμό. Ο βαθμός ακύρωσης εξαρτάται από την αντιστοίχιση της περιέλιξης του μετασχηματιστή καθώς και από την αντιστοίχιση των δύο «πανομοιότυπων» σημάτων

Θεωρήσεις ισχύος εξόδου

Ο συνδυασμός των δύο συμπληρωματικών εξόδων σε έναν μετασχηματιστή δεν προσφέρει κανένα κέρδος ισχύος. Στη σειρά AD985X των IC DDS, ο μόνος τρόπος για να αυξήσετε την ισχύ εξόδου είναι να ρυθμίσετε το ρεύμα εξόδου σε υψηλότερη τιμή ρυθμίζοντας το Rset. Είναι συνήθως διαθέσιμο έως και 20 ma μέγιστο ρεύμα εξόδου. Ωστόσο, η αρμονική παραμόρφωση της εξόδου μπορεί επίσης να αυξηθεί ελαφρώς. Η χρήση ενός μετασχηματιστή (Εικόνα 6-4A) επιτρέπει πιο αποτελεσματική μεταφορά ισχύος σε ένα

φορτίο εξαλείφοντας την ανάγκη για μια αντίσταση τερματισμού εισόδου (Εικόνα 6-4B) που καταναλώνει την ισχύ που θα έπρεπε να είχε μεταφερθεί στην αντίσταση τερματισμού εξόδου.

Η ισχύς εξόδου σε φορτίο 50 Ω για ημιτονοειδές κύμα εξόδου πλήρους κλίμακας 20 ma είναι 2,5 mW ή +4 dBm. Η ισχύς εξόδου στο ίδιο φορτίο για ένα ημιτονοειδές κύμα εξόδου πλήρους κλίμακας 10 ma είναι 0,625 mW ή -2 dBm. Η ισχύς εξόδου προσδιορίζεται χρησιμοποιώντας την εξίσωση $P = E^2/R$, όπου E είναι η τάση RMS που αναπτύσσεται κατά μήκος της αντίστασης φορτίου R. Η ισχύς P, φυσικά, μετράται σε Watts. Οι μονάδες dBm επιτυγχάνονται χρησιμοποιώντας $10 * \text{LOG}(P)$ όπου το P εκφράζεται σε milliWatts. Υπενθυμίζουμε ότι ο όρος dBm εκφράζει μια απόλυτη σχέση μεταξύ του επιπέδου ισχύος ενός milliWatt και κάποιου άλλου επιπέδου ισχύος. Ο όρος dB εκφράζει το επίπεδο ισχύος κάποιας αυθαίρετης αναφοράς σε άλλο επίπεδο ισχύος και επομένως, είναι μια σχετική μέτρηση

Τερματισμός εξόδου DDS/DAC

Ανεξάρτητα από το ποιο σχήμα τερματισμού εξόδου επιλέγει, η εμπειρία έχει δείξει ότι η βέλτιστη καταστολή των spurs και των αρμονικών επιτυγχάνονται όταν και οι δύο έξοδοι Iout και IoutB τερματίζονται εξίσου. Εάν δεν το κάνετε αυτό, μπορεί να μην παρατηρήσετε σε χαμηλότερες συχνότητες, αλλά σε υψηλότερες συχνότητες εξόδου, όπου μετράει κάθε dB SFDR (spurious-free dynamic range), αυτή η πρακτική θα δώσει καθαρότερο φάσμα εξόδου, χαμηλότερα spurs και υψηλότερο SFDR. Αυτή η πρακτική είναι ιδιαίτερα εφαρμόσιμη σε περιπτώσεις όπου χρησιμοποιείται μόνο μία από τις εξόδους.

ΚΕΦΑΛΑΙΟ 3^ο

ΠΑΡΟΥΣΙΑΣΗ ΕΞΑΡΤΗΜΑΤΩΝ

Γενικά

Σκοπός αυτού του κεφαλαίου είναι να εισάγει τον αναγνώστη σε μια πρώτη γνωριμία με τα εξαρτήματα στα οποία ο μελετητής έχει στηρίξει την υλοποίηση της κατασκευής. Για αυτό τον σκοπό, παρακάτω αναλύονται εκτός από τα βασικά τεχνικά χαρακτηριστικά του κάθε εξαρτήματος ο τρόπος λειτουργίας οι δυνατότητες καθώς και ο τρόπος με τον οποίο κάθε κατασκευαστής ορίζει την είσοδο των δεδομένων καθώς και την αρχικοποίηση κάθε συσκευής. με αυτόν τον τρόπο ο αναγνώστης αποκτά το υπόβαθρο για την ευκολότερη κατανόηση του προγράμματος καθώς και του τρόπου διασύνδεσης των διαφόρων εξαρτημάτων μεταξύ τους.

Περιγραφή του Atiny2313

Ο ATtiny2313 είναι ένας μικροελεγκτής της εταιρείας ATMEL- MICROCHIP. ανήκει στην οικογένεια των επεξεργαστών σχεδίασης AVR των 8bit και συγκεκριμένα στην υποκατηγορία Atiny. Είναι κατασκευασμένος με τεχνολογία CMOS 8-bit χαμηλής κατανάλωσης που βασίζεται στην AVR βελτιωμένη αρχιτεκτονική RISC. Εκτελώντας ισχυρό πακέτο εντολών σε έναν μόνο κύκλο ρολογιού, συγκεκριμένα ο ATtiny2313 επιτυγχάνει την εκτέλεση πληθώρας εντολών που πλησιάζουν το 1 MIPS ανά MHz επιτρέποντας στον προγραμματιστή την σχεδίαση συστήματος βελτιστοποιημένης κατανάλωσης ενέργειας σε σχέση με την ταχύτητα επεξεργασίας.

Τεχνικά Χαρακτηριστικά

- Χρησιμοποιεί την αρχιτεκτονική AVR® RISC
- AVR – Αρχιτεκτονική RISC υψηλής απόδοσης και χαμηλής κατανάλωσης
- 120 Ισχυρές εντολές – Πιο απλή εκτέλεση κύκλου ρολογιού
- 32 καταχωριτές εργασίας γενικής χρήσης των 8 bit
- Πλήρως στατική λειτουργία
- δυνατά εκτέλεσης εως 20 MIPS στα 20 MHz
- Δεδομένα, μη πτητικά προγράμματα και μνήμες δεδομένων
- 2K Byte αυτοπρογραμματιζόμενης μνήμης φλας εντός του συστήματος

Αντοχή έως 10.000 Κύκλοι Εγγραφής/Διαγραφής

– 128 Byte εντός Συστήματος προγραμματιζόμενη EEPROM

Αντοχή: 100.000 Κύκλοι Εγγραφής/Διαγραφής

– 128 Bytes Εσωτερική SRAM

– Κλείδωμα μεσο προγραμματισμού για την Flash μνήμη προγράμματος και Ασφάλεια δεδομένων EEPROM

- Περιφερειακά Χαρακτηριστικά

– Ένας χρονοδιακόπτης με δυνατότητα λειτουργίας και ως μετρητής των 8 bit με ξεχωριστή λειτουργία Prescaler και Compare Mode

– Ένας χρονοδιακόπτης με δυνατότητα λειτουργίας και ως μετρητής των 16 bit με ξεχωριστή λειτουργία Prescaler ,και λειτουργίες σύγκρισης και λήψης

– Τέσσερα κανάλια PWM

– On-chip περιφερειακό αναλογικού σύγκριτη

– Προγραμματιζόμενος χρονοδιακόπτης Watchdog με On-chip Oscillator

– USI – Universal Serial Interface

– Full Duplex USART

- Ειδικά χαρακτηριστικά μικροελεγκτή

– On-chip εντοπισμός σφάλματος μέσω DebugWIRE

– εντός συστήματος Προγραμματιστής μέσω θύρας SPI

– Εξωτερικές και εσωτερικές πηγές interrupt

– Λειτουργίες αδράνειας, απενεργοποίησης και αναμονής χαμηλής κατανάλωσης

– Ενισχυμένο κύκλωμα επαναφοράς ενεργοποίησης

– Προγραμματιζόμενο κύκλωμα ανίχνευσης καφέ εξόδου

– Εσωτερικός βαθμονομημένος ταλαντωτής

- I/O και Πακέτα

– 18 προγραμματιζόμενες γραμμές I/O

– PDIP 20 ακίδων, SOIC 20 ακίδων, QFN/MLF 20 ακίδων

- Τάσεις λειτουργίας

– 1,8 - 5,5 V (ATtiny2313V)

– 2,7 - 5,5 V (ATtiny2313)

- Βαθμοί Ταχύτητας

– ATtiny2313V: 0 - 4 MHz @ 1,8 - 5,5V, 0 - 10 MHz @ 2,7 - 5,5V

– ATtiny2313: 0 - 10 MHz @ 2,7 - 5,5 V, 0 - 20 MHz @ 4,5 - 5,5 V

- Τυπική κατανάλωση ενέργειας

– Ενεργή λειτουργία

1 MHz, 1,8V: 230 μ A

32 kHz, 1,8V: 20 μ A (συμπεριλαμβανομένου του ταλαντωτή)

- Διακοπή ρεύματος Τρόπος

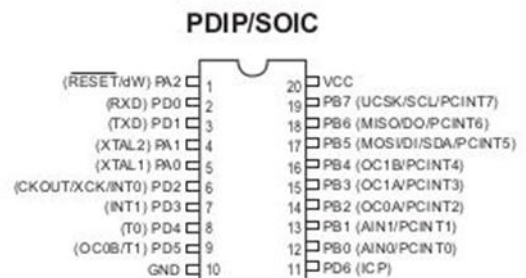
< 0,1 μ A στα 1,8V

Περιγραφή Ακροδεκτών

Παρακάτω παρουσιάζεται το σχεδιάγραμμα του ATtiny2313 με την αρίθμηση των ακίδων του μικροεπεξεργαστή σε συσκευασία DIP, η οποία χρησιμοποιήθηκε στην εν λόγω εφαρμογή, καθώς και μια σύννομη περιγραφή των λειτουργιών που σχετίζονται με τον εκάστοτε ακροδέκτη.

Pin Configurations

Figure 1. Pinout ATtiny2313



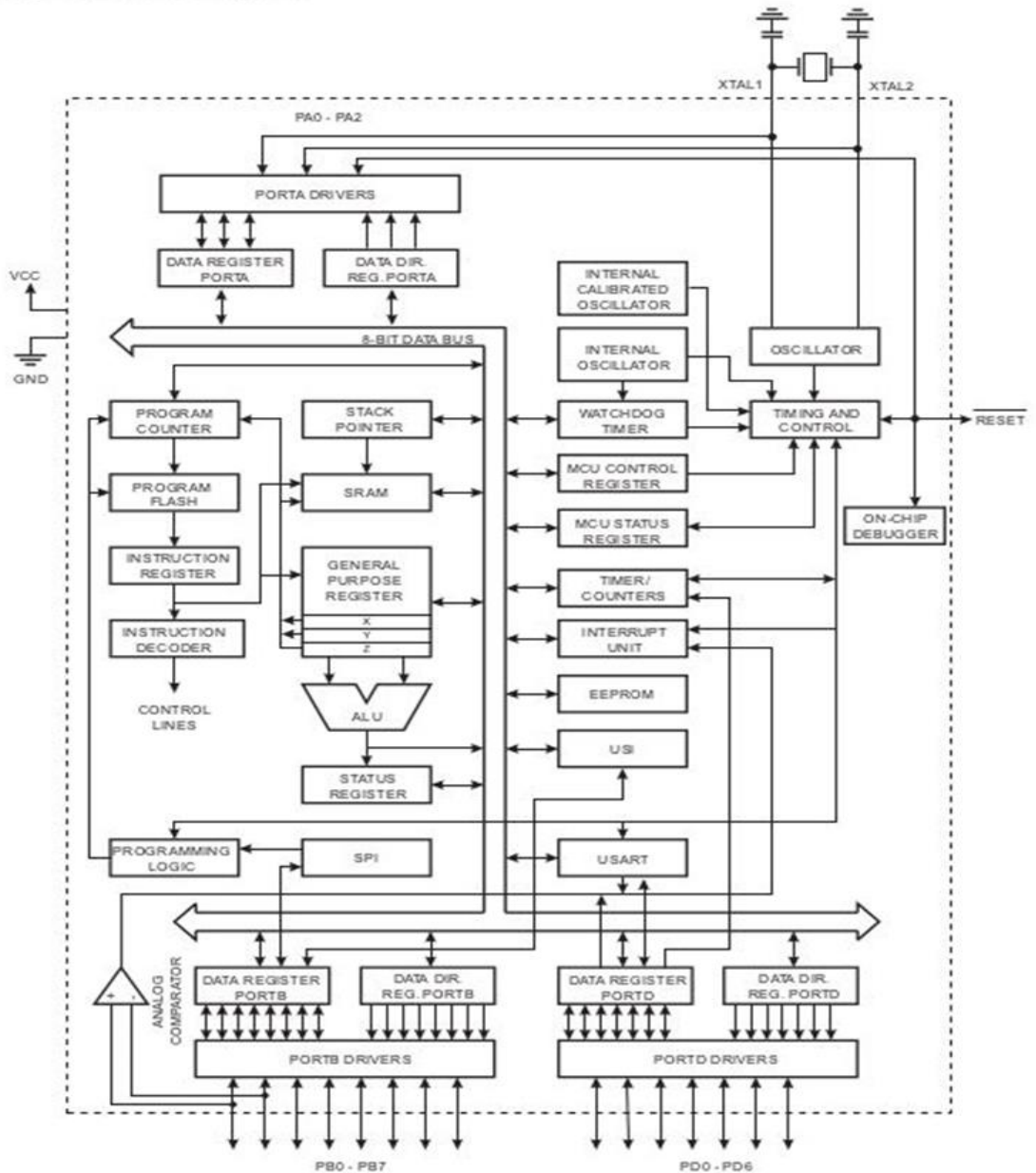
Εικόνα3. 1 Μπλόκ διάγραμμα Atiny2313

VCC	Ψηφιακή τάση τροφοδοσίας.
GND	Γείωση
PORT A (PA2 .. PA0)	Η θύρα A είναι μια θύρα εισόδου/εξόδου αμφιδρομης κατεύθυνσης 3 bit με εσωτερικές αντιστάσεις pullup (επιλεγμένες για κάθε bit). Οι buffer εξόδου της θύρας A έχουν συμμετρικά χαρακτηριστικά οδήγησης με δυνατότητα υψηλής καταβύθισης και πηγής. Ως

	<p>είσοδοι, οι ακίδες της θύρας A που δέχονται εξωτερικές χαμηλές στάθμες τάσης θα παράγουν ρεύμα εάν ενεργοποιηθούν οι αντιστάσεις pullup. Οι τρεις ακίδες της θύρας A ενεργοποιούνται μαζί όταν ενεργοποιείται μια συνθήκη επαναφοράς, ακόμα κι αν το ρολόι δεν λειτουργεί.</p> <p>Η θύρα A εξυπηρετεί επίσης τις λειτουργίες διαφόρων ειδικών χαρακτηριστικών του ATtiny2313</p>
PORT B (PB7 .. PB0)	<p>Η θύρα B είναι μια θύρα εισόδου/εξόδου αμφίδρομης κατεύθυνσης 8 bit με εσωτερικές αντιστάσεις pullup (επιλεγμένες για κάθε bit). Οι buffer εξόδου της θύρας B έχουν συμμετρικά χαρακτηριστικά οδήγησης με δυνατότητα υψηλής καταβύθισης και πηγής. Ως είσοδοι, οι ακίδες της θύρας B που δέχονται εξωτερικές χαμηλές στάθμες τάσης θα παράγουν ρεύμα εάν ενεργοποιηθούν οι αντιστάσεις pullup. Οι τρεις ακίδες της θύρας A ενεργοποιούνται μαζί όταν ενεργοποιείται μια συνθήκη επαναφοράς, ακόμα κι αν το ρολόι δεν λειτουργεί.</p> <p>Η θύρα B εξυπηρετεί επίσης τις λειτουργίες διαφόρων ειδικών χαρακτηριστικών του ATtiny2313</p>
PORT D (PD6 .. PD0)	<p>Η θύρα B είναι μια θύρα εισόδου/εξόδου αμφίδρομης κατεύθυνσης 8 bit με εσωτερικές αντιστάσεις pullup (επιλεγμένες για κάθε bit). Οι buffer εξόδου της θύρας B έχουν συμμετρικά χαρακτηριστικά οδήγησης με δυνατότητα υψηλής καταβύθισης και πηγής. Ως είσοδοι, οι ακίδες της θύρας B που δέχονται εξωτερικές χαμηλές στάθμες τάσης θα παράγουν ρεύμα εάν ενεργοποιηθούν οι αντιστάσεις pullup. Οι τρεις ακίδες της θύρας A ενεργοποιούνται μαζί όταν ενεργοποιείται μια συνθήκη επαναφοράς, ακόμα κι αν το ρολόι δεν λειτουργεί.</p> <p>Η θύρα B εξυπηρετεί επίσης τις λειτουργίες διαφόρων ειδικών χαρακτηριστικών του ATtiny2313</p>
Reset	<p>Είσοδος Επαναφοράς. Μια χαμηλή στάθμη τάσης σε αυτόν τον ακροδέκτη για μεγαλύτερο από το ελάχιστο μήκος παλμού θα ενεργοποιήσει την λειτουργία επαναφοράς, ακόμα κι αν το ρολόι δεν λειτουργεί. Δίνεται το ελάχιστο μήκος παλμού. Οι μικρότεροι παλμοί δεν είναι εγγυημένο ότι θα δημιουργήσουν επαναφορά. Η είσοδος επαναφοράς είναι μια εναλλακτική λειτουργία για PA2 και dW.</p>

XTAL1	Είσοδος στον ενισχυτή αναστροφικού ταλαντωτή και είσοδος στο κύκλωμα λειτουργίας εσωτερικού ρολογιού. Το XTAL1 είναι μια εναλλακτική λειτουργία για το PA0.
XTAL2	Έξοδος από τον ενισχυτή αναστροφικού ταλαντωτή. Το XTAL2 είναι μια εναλλακτική λειτουργία για το PA1

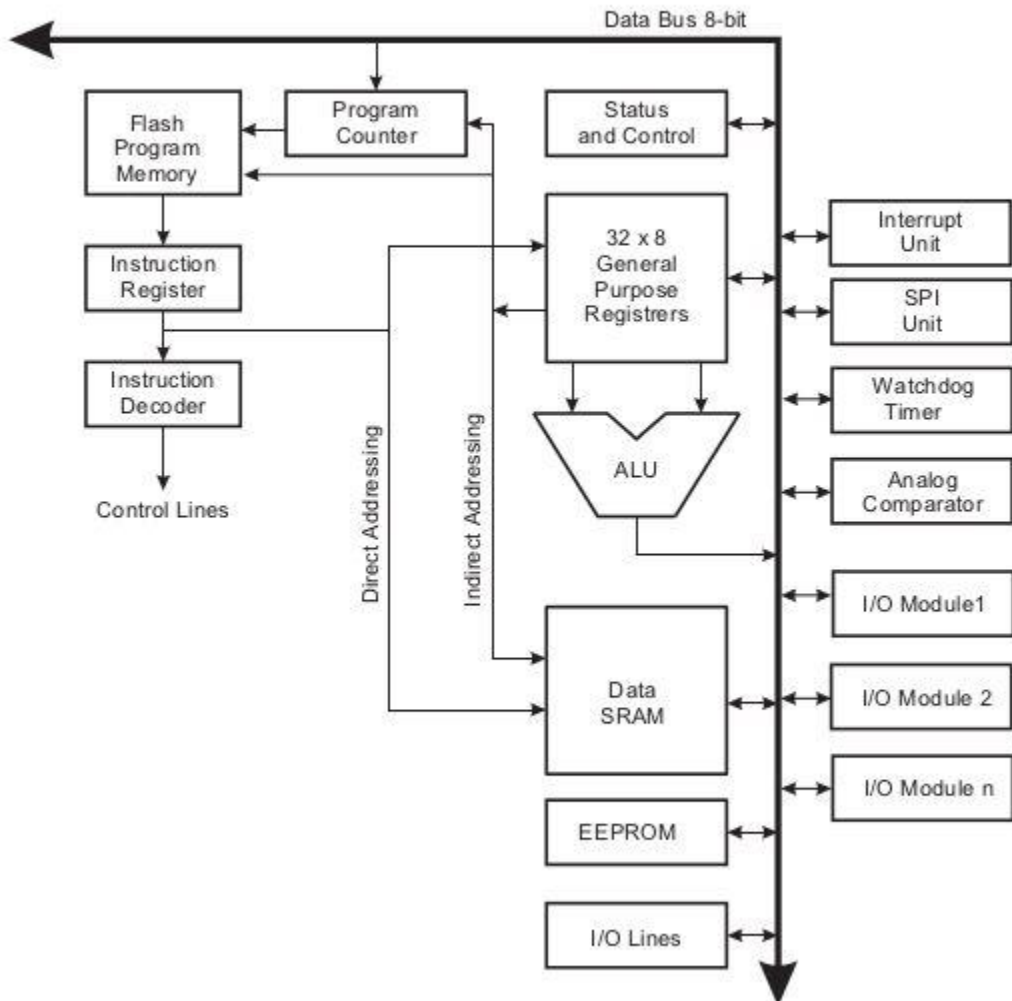
Figure 2. Block Diagram



Εισαγωγή στον Πυρήνα CPU Αρχιτεκτονικής AVR

Όπως προαναφέρθηκε ο μικροεπεξεργαστής Atiny2313 ανήκει σε μία από τις τρεις σειρές επεξεργαστών της οικογένειας AVR αρχιτεκτονικής . Η κύρια λειτουργία του πυρήνα της CPU (εικ.3. 3) είναι να διασφαλίζει τη σωστή εκτέλεση του προγράμματος. Η CPU πρέπει επομένως πρέπει να είναι σε θέση να έχει πρόσβαση σε μνήμες, την γρήγορη και αποτελεσματική εκτέλεση υπολογισμών, τον έλεγχο των περιφερειακών συσκευών καθώς και τον χειρισμό των διακοπών.

Figure 3. Block Diagram of the AVR Architecture



Εικόνα3.3 διαγραμμα αρχιτεκτονικής AVR

Αρχιτεκτονική Επισκόπηση

Προκειμένου να μεγιστοποιηθεί η απόδοση ο πυρήνας σχεδίασης AVR χρησιμοποιεί μια αρχιτεκτονική του Χάρβαρντ με ξεχωριστές μνήμες και διαύλους για πρόγραμμα (flash program memory)και δεδομένα (Data SRAM). Οι εντολές στο πρόγραμμα μνήμης

εκτελούνται μέσω καλωδίωσης ενός επιπέδου. Καθώς εκτελείται μία εντολή, η επόμενη εντολή λαμβάνεται εκ των προτέρων από τη μνήμη του προγράμματος. Αυτή η ιδιαιτερότητα επιτρέπει την εκτέλεση εντολών σε κάθε κύκλο ρολογιού. Η μνήμη του προγράμματος αποτελείται από μια επαναπρογραμματιζόμενη μνήμη Flash εντός του συστήματος.

Το αρχείο καταχωριτών γρήγορης πρόσβασης περιέχει 32 καταχωρητές γενικής χρήσης 32 x 8 bit. Με χρόνο πρόσβασης μόλις ενός κύκλου ρολογιού. Αυτό επιτρέπει την λειτουργία της Αριθμητική Λογική Μονάδα (ALU) σε ένα μόλις κύκλο ρολογιού. Σε μια τυπική λειτουργία της ALU, δύο τελεστές εξάγονται από το αρχείο καταχωριτών, η λειτουργία εκτελείται και το αποτέλεσμα αποθηκεύεται ξανά στο αρχείο του καταχωριτή της επιλογής μας - σε έναν κύκλο ρολογιού.

Έξι από τους 32 καταχωρητές μπορούν να χρησιμοποιηθούν ως τρεις δείκτες έμμεσων καταχωρητών διευθύνσεων μεγέθους 16-bit (word) για την Διευθυνσιοδότηση της μνήμης δεδομένων – επιτρέποντας αποτελεσματικούς υπολογισμούς μεταξύ διευθύνσεων. Ένας από αυτούς τους δείκτες των 16 bit μπορεί επίσης να χρησιμοποιηθεί ως δείκτης διεύθυνσης για αναζήτηση στον πίνακα της Flash μνήμης προγράμματος. Αυτοί οι πρόσθετες λειτουργίες καταχωρητές είναι οι 16-bit X-, Y- και Z-register,

Η ALU υποστηρίζει αριθμητικές και λογικές πράξεις μεταξύ καταχωρητών ή μεταξύ μίας σταθεράς και ενός καταχωρητή. Οι λειτουργίες ενός μόνο καταχωρητή μπορούν επίσης να εκτελεστούν στην ALU. Μετά από την εκτέλεση μιας αριθμητικής πράξης, ο καταχωρητής κατάστασης ενημερώνεται για να περιέχει πληροφορίες σχετικά με το αποτέλεσμα της πράξης. Η ροή του προγράμματος αποτελείται από εντολές κλήσης δεδομένων call ή εντολές άλματος jump υπό συνθήκη ή και άνευ συνθήκης, Με δυνατότητα να απευθυνθεί άμεσα σε οποιαδήποτε επιθυμητή, από τον σχεδιαστή, διεύθυνση σε ολόκληρο τον χώρο διευθύνσεων. Οι περισσότερες AVR εντολές έχουν μια απλή μορφή μεγέθους λέξης 16 bit (2bytes). Κάθε διεύθυνση μνήμης προγράμματος περιέχει μια εντολή;h 16 ή 32 bit.

Κατά τη διάρκεια διακοπών και κλήσεων υπορουτίνας, η διεύθυνση επιστροφής του μετρητή προγράμματος (PC) Αποθηκεύεται στο σορό. Τα δεδομένα του δείκτη σορού κατανέμονται αποτελεσματικά στη γενική SRAM δεδομένων. Συνεπώς, το μέγεθος της στοίβας περιορίζεται μόνο από το συνολικό μέγεθος της SRAM και τη χρήση της SRAM. Όλα τα προγράμματα του χρήστη πρέπει να αρχικοποιήσουν το δείκτη SP (stack pointer) κατά την διαδικασία της ρουτίνας Reset (πριν από την εκτέλεση της οποιαδήποτε υπορουτίνας ή των διακοπών). Ο δείκτης σορού (SP) είναι προσβάσιμος για ανάγνωση/εγγραφή μέσω των I/O. Η πρόσβαση στα δεδομένα της μνήμης SRAM είναι εύκολη μέσω των πέντε διαφορετικών Λειτουργιών διευθυνσιοδότησης που υποστηρίζονται στην αρχιτεκτονική AVR. Οι χώροι μνήμης στην αρχιτεκτονική AVR είναι όλοι γραμμικοί και κανονικοί χάρτες μνήμης.

Μια ευέλικτη μονάδα διακοπής έχει τους καταχωρητές ελέγχου της στο χώρο I/O με ένα επιπρόσθετο καθολικής διακοπής Bit ενεργοποίησης στον καταχωρητή κατάστασης. Όλες οι διακοπές έχουν ξεχωριστό διάνυσμα Διακοπής στον πίνακα Interrupt Vector. Οι διακοπές

έχουν προτεραιότητα σύμφωνα με την Θέση του διανύσματος Διακοπή. Όσο χαμηλότερη είναι η διεύθυνση διανύσματος διακοπής, τόσο μεγαλύτερη είναι η προτεραιότητα.

Ο χώρος μνήμης I/O περιέχει 64 διευθύνσεις για περιφερειακές λειτουργίες της CPU ως καταχωρητές ελέγχου καθώς και άλλες λειτουργίες I/O. Η πρόσβαση στη μνήμη I/O μπορεί να γίνει απευθείας ή ως Τοποθεσίες Χώρου Δεδομένων ακολουθώντας αυτές του Αρχείου καταχωρητή , 0x20 - 0x5F

ALU – Αριθμητική Λογική Μονάδα

Η υψηλής απόδοσης ALU του AVR λειτουργεί σε άμεση σύνδεση και με τις 32 γενικού σκοπού καταχωρητές εργασίας . Μέσα σε έναν μόνο κύκλο ρολογιού, αριθμητικές πράξεις εκτελούνται μεταξύ καταχωρητών γενικού σκοπού ή μεταξύ ενός καταχωρητή και ενός αριθμού .

Οι πράξεις ALU χωρίζονται σε τρεις κύριες κατηγορίες - αριθμητικές, λογικές και θέσεων λειτουργικών bit - . Ορισμένες υλοποιήσεις της αρχιτεκτονικής παρέχουν επίσης έναν ισχυρό πολλαπλασιαστή που υποστηρίζει προσημασμένο ή και όχι πολλαπλασιασμό και κλασματική μορφή.

Status Register – Sreg καταχωρητής κατάστασης

Ο καταχωρητής κατάστασης περιέχει πληροφορίες σχετικά με αποτέλεσμα της εκτέλεσης της πιο πρόσφατης Αριθμητικής εντολής . Αυτές οι πληροφορίες μπορούν να χρησιμοποιηθούν για την αλλαγή της ροής του προγράμματος προκειμένου να εκτελεστούν λειτουργίες υπό συνθήκες . Σημειώστε ότι το μητρώο κατάστασης ενημερώνεται μετά από όλες τις ALU λειτουργίες , όπως καθορίζεται στην αναφορά σετ εντολών. Αυτό σε πολλές περιπτώσεις εξαλείφει την ανάγκη χρήσης των ειδικών εντολών σύγκρισης, με αποτέλεσμα ταχύτερο και πιο συμπαγή κώδικας.

Ο καταχωρητής κατάστασης δεν αποθηκεύεται αυτόματα κατά την εισαγωγή μιας ρουτίνας διακοπής και αποκαθίσταται κατά την επιστροφή από διακοπή. Αυτό πρέπει να αντιμετωπιστεί από το λογισμικό. Ο καταχωρητής κατάστασης AVR – SREG – ορίζεται ως:

Bit	7	6	5	4	3	2	1	0	
	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bit 7 – I: Ενεργοποίηση καθολικής διακοπής

Το bit ενεργοποίησης καθολικής διακοπής πρέπει να οριστεί για να ενεργοποιηθούν οι διακοπές. Ο έλεγχος ενεργοποίησης κάθε μεμονωμένης λειτουργίας διακοπής

εκτελείται στη συνέχεια σε ξεχωριστούς καταχωρητές ελέγχου. Ο καθολικός

καταχωρητής ενεργοποίησης διακοπής διαγράφεται, καμία από τις διακοπές δεν ενεργοποιείται ανεξάρτητα από τις ρυθμίσεις ενεργοποίησης μεμονωμένης διακοπής. Το I-bit διαγράφεται από το υλικό μετά από μια διακοπή

- Bit 6 – T: Bit Copy Storage

Οι εντολές αντιγραφής Bit BLD (Bit Load) και BST (Bit Store) χρησιμοποιούν το T-bit ως πηγή ή προορισμός για το εκάστοτε χειριζόμενο bit. Μπορεί να αντιγραφεί ένα bit από έναν καταχωρητή στο Αρχείο καταχωρητών στο T από την εντολή BST και ένα bit στο T μπορεί να αντιγραφεί σε ένα bit σε έναν καταχωρητή στο αρχείο καταχωρητών σύμφωνα με την οδηγία BLD.

- Bit 5 – H: Half Carry Flag

Η σημαία Half Carry H υποδηλώνει Half Carry σε ορισμένες αριθμητικές πράξεις. Half Carry είναι χρήσιμο στην αριθμητική BCD.

- Bit 4 – S: Sign Bit, $S = N \oplus V$

Το S-bit είναι πάντα αποκλειστικό ή μεταξύ της αρνητικής σημαίας N και των δυο συμπληρωματικών -σημαίων υπερχείλισης V.

- Bit 3 – V: Two's Complement Overflow Flag

Δυο συμπληρωματικές Σημαίες υπερχείλισης υποστηρίζουν την αριθμητική του συμπληρώματος ως προς δύο.

- Bit 2 – N: Negative Flag

Η αρνητική σημαία N υποδεικνύει ένα αρνητικό αποτέλεσμα σε μια αριθμητική ή λογική πράξη.

- Bit 1 – Z: Zero Flag

Το Zero Flag Z υποδεικνύει ένα μηδενικό αποτέλεσμα σε μια αριθμητική ή λογική πράξη. Δείτε το

- Bit 0 – C: Carry Flag

Το Carry Flag C υποδεικνύει την ύπαρξη ή όχι κρατουμένου σε μια αριθμητική ή λογική πράξη.

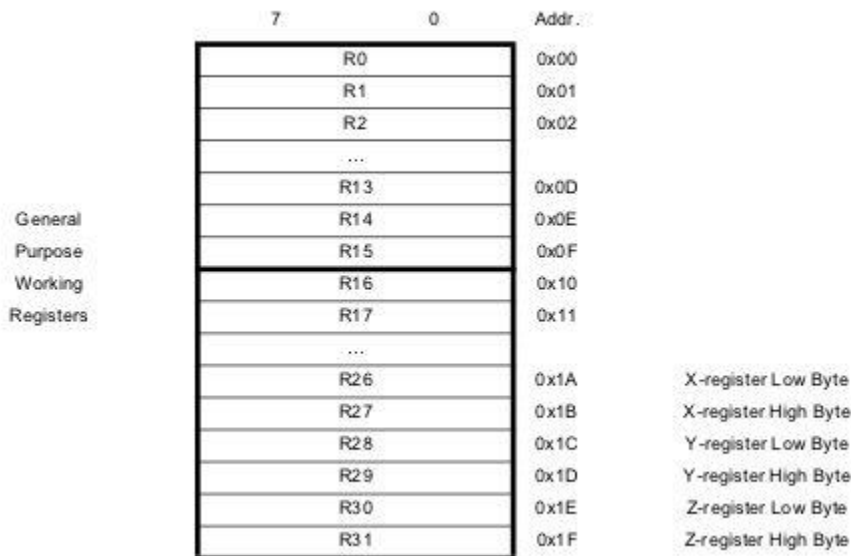
General Purpose Register File- Γενικού Σκοπού αρχεία καταχωρητών

Το αρχείο καταχωρητών έχει βελτιστοποιηθεί για το σύνολο εντολών AVR Enhanced RISC. Το αρχείο καταχωρητών υποστηρίζεται από τα ακόλουθα σχήματα εισόδου/εξόδου Ωστε να επιτύχουν την απαιτούμενη απόδοση και ευελιξία και απαρτίζεται από :

- Ένας τελεστής εξόδου 8 bit και μία είσοδο αποτελέσματος 8 bit
- Δύο τελεστές εξόδου 8 bit και μία είσοδο αποτελέσματος 8 bit
- Δύο τελεστές εξόδου 8 bit και μία είσοδο αποτελέσματος 16 bit

- Ένας τελεστής εξόδου 16 bit και μία είσοδο αποτελέσματος 16 bit

Το σχήμα 4 δείχνει τη δομή των 32 καταχωριτών εργασίας γενικής χρήσης στην CPU.



Οι περισσότερες από τις εντολές που λειτουργούν στο Αρχείο καταχωριτών έχουν άμεση πρόσβαση σε όλους τους καταχωρητές, και οι περισσότερες από αυτές είναι εντολές ενός κύκλου.

Όπως φαίνεται στο Σχήμα 4, σε κάθε καταχωρητή εκχωρείται μια διεύθυνση μνήμης δεδομένων, απευθείας αντιστοιχισμένη στις πρώτες 32 θέσεις του χώρου δεδομένων χρήστη. Αν και πρακτικά δεν έχει φυσική αντιστοίχιση με τις θέσεις μνήμης της SRAM, αυτή η οργάνωση μνήμης παρέχει εξαιρετική ευελιξία στην πρόσβαση των καταχωρητών, όπως οι X-, Y- και Z δείκτες οι οποίοι μπορούν να ρυθμιστούν για την εύρεση οποιουδήποτε καταχωρητή στο αρχείο.

Το X-register, Y-register και Z-register

Οι καταχωρητές R26 .. R31 έχουν ορισμένες πρόσθετες λειτουργίες στη χρήση γενικού σκοπού τους. Αυτοί οι καταχωρητές είναι δείκτες διεύθυνσης 16-bit για έμμεση διευθυνσιοδότηση του χώρου δεδομένων. Οι τρεις καταχωρητές έμμεσων διευθύνσεων X, Y και Z ορίζονται όπως περιγράφεται στο Σχήμα 5.

Στους διαφορετικούς τρόπους διευθυνσιοδότησης αυτοί οι καταχωρητές διευθύνσεων έχουν σταθερές λειτουργίες όπως μετατόπιση και τοποθέτηση, αυτόματη αύξηση και αυτόματη μείωση

Reset and Interrupt Handling - Χειρισμός επαναφοράς και διακοπής

Το AVR παρέχει πολλές διαφορετικές πηγές διακοπής. Αυτές οι διακοπές και τα χωριστά διανύσματα Reset έχουν το καθένα ξεχωριστό διάνυσμα προγράμματος στο χώρο της μνήμης του προγράμματος. Σε όλες τις διακοπές εκχωρούνται μεμονωμένα bit ενεργοποίησης στα οποία που πρέπει να γραφτούν λογικά 1 μαζί με το bit ενεργοποίησης γενικών διακοπών. Οι χαμηλότερες διευθύνσεις στο χώρο μνήμης του προγράμματος ορίζονται από προεπιλογή ως διευθύνσεις Reset καθώς και Διανυσμάτων Διακοπής. Η λίστα καθορίζει επίσης τα επίπεδα προτεραιότητας των διαφορετικών διακοπών. Όσο πιο χαμηλά είναι τόσο υψηλότερο είναι το επίπεδο προτεραιότητας. Το RESET έχει την υψηλότερη προτεραιότητα και το επόμενο είναι η διακοπή INTO

Όταν εμφανίζεται μια διακοπή, το I-bit Enable Global Interrupt διαγράφεται και όλες οι διακοπές είναι απενεργοποιημένες. Το λογισμικό χρήστη μπορεί να γράψει λογικό "1" στο I-bit για να ενεργοποιήσει το εμφολευμένη – εσωτερική διακοπή. Όλες οι ενεργοποιημένες διακοπές μπορούν στη συνέχεια να διακόψουν την τρέχουσα ρουτίνα διακοπής. Το I-bit ρυθμίζεται αυτόματα όταν εκτελείται μια εντολή Return από την διακοπή Interrupt – RETI. Υπάρχουν βασικά δύο είδη διακοπών. Ο πρώτος τύπος ενεργοποιείται από ένα γεγονός που ορίζει τη σημαία διακοπής. Για αυτές τις διακοπές, ο μετρητής προγράμματος τοποθετείται στο πραγματικό διάνυσμα διακοπής προκειμένου να εκτελεστεί η ρουτίνα χειρισμού διακοπών και το υλικό διαγράφει την αντίστοιχη σημαία διακοπής. Οι σημαίες διακοπής μπορούν επίσης να διαγραφούν γράφοντας λογικό '1' στη θέση(εις) του bit σημαίας που πρέπει να διαγραφεί. Εάν παρουσιαστεί μια συνθήκη διακοπής ενώ το αντίστοιχο bit ενεργοποίησης διακοπής διαγράφεται, η σημαία διακοπής θα οριστεί και θα κρατηθεί στην μνήμη μέχρι να ενεργοποιηθεί η διακοπή ή η σημαία να διαγραφεί από το λογισμικό. Ομοίως, εάν μια ή

περισσότερες συνθήκες διακοπής προκύπτουν όταν το bit ενεργοποίησης καθολικής διακοπής έχει διαγραφεί, η ανταποκρινόμενη σημαία(ες) διακοπής θα οριστούν και θα απομνημονευθούν μέχρι το bit της ενεργοποίησης της καθολικής διακοπής οριστεί και στη συνέχεια θα εκτελεστεί με σειρά προτεραιότητας.

Ο δεύτερος τύπος διακοπών θα ενεργοποιηθεί όσο η συνθήκη διακοπής είναι σε ισχύ.

Αυτές οι διακοπές δεν έχουν απαραίτητα σημαίες διακοπής. Εάν η συνθήκη διακοπής διακοπεί – πριν την ενεργοποίηση της λειτουργίας διακοπής, η διακοπή δεν θα ενεργοποιηθεί. Όταν το AVR εξέρχεται από μια διακοπή, θα επιστρέφει πάντα στο κύριο πρόγραμμα και θα εκτελείται ακόμη μια εντολή πριν από την προβολή οποιασδήποτε εκκρεμούς διακοπής.

Σημειώστε ότι ο καταχωρητής κατάστασης δεν αποθηκεύεται αυτόματα όταν εισέρχεται μια ρουτίνα διακοπής, ούτε αποκαταθύσταται αυτόματα κατά την επιστροφή από μια ρουτίνα διακοπής. Αυτό πρέπει να το χειριστεί λογισμικό.

AVR ATtiny2313 Memories

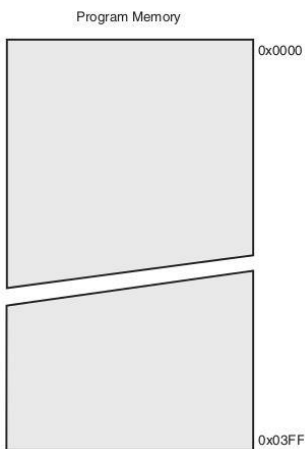
Αυτή η ενότητα περιγράφει τις διαφορετικές μνήμες στο ATtiny2313. Η αρχιτεκτονική AVR έχει δύο κύριους χώρους μνήμης, τη μνήμη δεδομένων και τη μνήμη προγράμματος.

Επιπλέον , ο ATtiny2313 διαθέτει μνήμη EEPROM για αποθήκευση δεδομένων. Και των τριών ειδών οι μνήμες είναι γραμμικές και κανονικές .

In-System Reprogrammable Flash Program Memory - Επαναπρογραμματιζόμενη μνήμη προγράμματος Flash

Ο ATtiny2313 περιέχει 2K byte On-chip In-System Επαναπρογραμματιζόμενη μνήμη Flash για αποθήκευση προγραμμάτων. Δεδομένου ότι όλες οι εντολές AVR έχουν πλάτος 16 ή 32 bit, η μνήμη Flash είναι οργανωμένη σε διαστάσεις 1K x 16. Η μνήμη Flash έχει αντοχή τουλάχιστον 10.000 κύκλων εγγραφής/διαγραφής. Ο μετρητής προγράμματος ATtiny2313 (PC) έχει πλάτος 10 bit, επομένως απευθύνεται σε πρόγραμμα μεγέθους μνήμης 1K λήψη δεδομένων που αποθηκεύονται στην Flash είναι σειριακής μορφής χρησιμοποιώντας τις ακίδες SPI.

Μπορούν να εκχωρηθούν σταθεροί πίνακες σε ολόκληρο τον χώρο διευθύνσεων της μνήμης του προγράμματος



Εικόνα 8. Χάρτης μνήμης προγράμματος

Μνήμη δεδομένων SRAM

Το σχήμα 9 δείχνει πώς είναι οργανωμένη η μνήμη SRAM ATtiny2313.

Οι κατώτερες 224 θέσεις μνήμης δεδομένων απευθύνονται τόσο στο Αρχείο καταχωρητών όσο και στη μνήμη I/O, την Εκτεταμένη μνήμη I/O και σε εσωτερικά δεδομένα SRAM. Οι πρώτες 32 τοποθεσίες απευθύνονται στα αρχεία καταχωρητών , η επόμενη 64 θέση είναι η τυπική μνήμη I/O και οι επόμενες 128 θέσεις της διεύθυνση της SRAM είναι θέση μνήμης εσωτερικών δεδομένων.

Οι πέντε διαφορετικοί τρόποι διευθυνσιοδότησης που αφορούν την μνήμη δεδομένων είναι : Άμεση, Έμμεση με Απώλεια προηγούμενης τοποθέτησης , Έμμεση, Έμμεση με προ-μείωση και Έμμεση με pro- αυξηση θέσης . Στο αρχείο καταχωρητών , οι καταχωρητές R26 έως R31 περιλαμβάνουν τους καταχωρητές δείκτη έμμεσης διευθυνσιοδότησης. Η άμεση

Calibrated Internal RC Oscillator- Βαθμονομημένος Εσωτερικός Ταλαντωτής RC

Ο βαθμονομημένος εσωτερικός ταλαντωτής RC παρέχει ένα σταθερό ρολόι 8,0 MHz. Η συχνότητα είναι ονομαστική για τιμή τάσης στα 3V και στους 25°C. Εάν η συχνότητα 8 MHz υπερβεί τις προδιαγραφές της συσκευής (εξαρτάται από το VCC), η ασφάλεια CKDIV8 πρέπει να προγραμματιστεί για να διαιρέσει την εσωτερική συχνότητα κατά 8 κατά την εκκίνηση. Η συσκευή αποστέλλεται με την ασφάλεια CKDIV8 προγραμματισμένη. Αυτό το ρολόι μπορεί να επιλεγεί ως το ρολόι συστήματος προγραμματίζοντας την CKSEL Ασφάλεια όπως φαίνεται στον Πίνακα 6. Εάν επιλεγεί, θα λειτουργεί χωρίς εξωτερικά εξαρτήματα. Κατά την επαναφορά, το υλικό φορτώνει το byte βαθμονόμησης στον καταχωρητή OSCCAL και έτσι βαθμονομεί αυτόματα τον Ταλαντωτή RC. Στα 3V και στους 25°C, αυτή η βαθμονόμηση δίνει συχνότητα εντός $\pm 10\%$ της ονομαστικής συχνότητας.

Πίνακας 6. Εσωτερικοί βαθμονομημένοι τρόποι λειτουργίας ταλαντωτή RC

CKSEL3..0	Nominal Frequency
0010 - 0011	4.0 MHz
0100 - 0101	8.0 MHz ⁽¹⁾

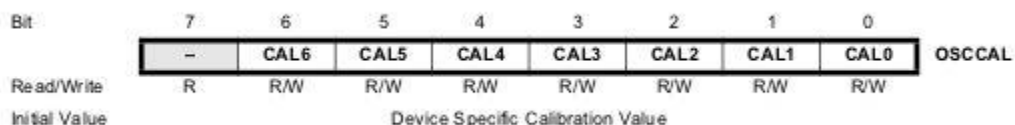
Note: 1. The device is shipped with this option selected.

Όταν είναι επιλεγμένος αυτός ο Ταλαντωτής, οι χρόνοι εκκίνησης καθορίζονται από τις Ασφάλειες SUT όπως φαίνεται στον Πίνακα 7.

SUT1..0	Start-up Time from Power-down and Power-save	Additional Delay from Reset ($V_{CC} = 5.0V$)	Recommended Usage
00	6 CK	14CK	BOD enabled
01	6 CK	14CK + 4.1 ms	Fast rising power
10 ⁽¹⁾	6 CK	14CK + 65 ms	Slowly rising power
11	Reserved		

Πίνακας 7. Χρόνοι εκκίνησης για την εσωτερική βαθμονομημένη επιλογή ρολογιού RC Ταλαντωτής

Oscillator Calibration Register – OSCCAL- Καταχωρητής βαθμονόμησης ταλαντωτή – OSCCAL



- Bits 6 ..0 – CAL6..0: Τιμή βαθμονόμησης ταλαντωτή

Η εγγραφή του byte βαθμονόμησης σε αυτή τη διεύθυνση θα περικόψει τον εσωτερικό ταλαντωτή για να αφαιρέσει την επεξεργασία διακύμανσης από τη συχνότητα του Ταλαντωτή. Αυτό γίνεται αυτόματα κατά τη διάρκεια του Chip reset . Όταν ο καταχωρητής OSCCAL είναι μηδέν, επιλέγεται η χαμηλότερη διαθέσιμη συχνότητα. Γράφοντας μη-Μηδενικές τιμές σε αυτόν τον καταχωρητή θα αυξήσουν τη συχνότητα του εσωτερικού Ταλαντωτή. Γραφοντας 0x7F στον καταχωρητή δίνει την υψηλότερη διαθέσιμη συχνότητα. Ο βαθμονομημένος ταλαντωτής χρησιμοποιείται για τη χρονομέτρηση της πρόσβασης EEPROM και Flash. Εάν είναι γραμμένη η EEPROM ή η μνήμη Flash, μην επιλέξετε να βαθμονομήσετε σε περισσότερο από 10% πάνω από την ονομαστική συχνότητα. Διαφορετικά, η εγγραφή της EEPROM ή της Flash μπορεί να αποτύχει. Σημειώστε ότι ο Ταλαντωτής προορίζεται για βαθμονόμηση στα 8,0/4,0 MHz. Η επιλογή σε άλλες τιμές δεν είναι εγγυημένη, όπως υποδεικνύεται στον Πίνακα 8.

Αποφύγετε την αλλαγή της τιμής βαθμονόμησης σε μεγάλα βήματα κατά τη βαθμονόμηση του εσωτερικού RC Ταλαντωτή για να εξασφαλιστεί σταθερή λειτουργία του MCU. Μια διακύμανση στη συχνότητα μεγαλύτερη του 2% από έναν κύκλο μηχανής στον επόμενο μπορεί να οδηγήσει σε απρόβλεπτη συμπεριφορά. Αλλαγές στον καταχωρητή OSCCAL δεν πρέπει να υπερβαίνουν το 0x20 για κάθε βαθμονόμηση.

OSCCAL Value	Min Frequency in Percentage of Nominal Frequency	Max Frequency in Percentage of Nominal Frequency
0x00	50%	100%
0x3F	75%	150%
0x7F	100%	200%

Πίνακας 8. Εύρος συχνοτήτων εσωτερικού ταλαντωτή RC.

SUT1..0	Start-up Time from Power-down and Power-save	Additional Delay from Reset	Recommended Usage
00	6 CK	14CK	BOD enabled
01	6 CK	14CK + 4 ms	Fast rising power
10	6 CK	14CK + 64 ms	Slowly rising power
11	Reserved		

Power Management and Sleep Modes - Διαχείριση ενέργειας και Λειτουργίες ύπνου
Οι καταστάσεις λειτουργίας ύπνου (ή αναστολής λειτουργίας) επιτρέπουν στην εφαρμογή να τερματίζει τις μη χρησιμοποιούμενες μονάδες στο MCU, με αυτόν τον τρόπο

επιτυγχάνεται εξοικονόμηση ενέργειας. Το AVR παρέχει διάφορες λειτουργίες ύπνου που επιτρέπουν στον χρήστη να προσαρμόσει την κατανάλωση ενέργειας στις απαιτήσεις της εφαρμογής.

Για να εισέλθετε σε οποιαδήποτε από τις τρεις καταστάσεις αναστολής λειτουργίας, το bit SE στο MCUCR πρέπει να γραφτεί σε λογικό '1' και πρέπει να εκτελεστεί μια εντολή SLEEP. Τα bit SM1 και SM0 στο MCUCR καταχωρητή επιτρέπουν να επιλέξουμε την επιθυμητή κατάσταση αναστολής λειτουργίας (Αδράνεια, Απενεργοποίηση ή Αναμονή) η οποία ενεργοποιείται με την εντολή SLEEP.

Εάν προκύψει μια ενεργοποιημένη διακοπή ενώ η MCU είναι σε κατάσταση αναστολής λειτουργίας, η MCU ξυπνά. Στη συνέχεια, η MCU διακόπτεται για τέσσερις κύκλους εκτός από τον χρόνο εκκίνησης, εκτελεί τη ρουτίνα interrupt και συνεχίζει την εκτέλεση της εντολής που ακολουθεί το SLEEP. Τα περιεχόμενα του αρχείου μητρώου και του SRAM είναι αναλλοίωτα όταν η συσκευή ξυπνά από τον ύπνο. Εάν πραγματοποιηθεί επαναφορά κατά τη διάρκεια της κατάστασης ύπνου, το MCU ξυπνά και εκτελείται από το Reset Vector.

Μητρώο ελέγχου MCU – MCUCR

Ο καταχωρητής ελέγχου κατάστασης ύπνου περιέχει bit ελέγχου για διαχείριση ενέργειας.

Bit	7	6	5	4	3	2	1	0	
	PUD	SM1	SE	SM0	ISC11	ISC10	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bit 6, 4 – SM1 .. 0: Sleep Mode Select Bits 1 and 0

Αυτά τα bit επιλέγουν μεταξύ των πέντε διαθέσιμων λειτουργιών ύπνου, όπως φαίνεται στον Πίνακα 13.

Πίνακας 13. Επιλογή κατάστασης ύπνου

Table 13. Sleep Mode Select

SM1	SM0	Sleep Mode
0	0	Idle
0	1	Power-down
1	0	Power-down
1	1	Standby

Note: 1. Standby mode is only recommended for use with external crystals or resonators.

- Bit 5 – SE: Sleep Enable

Το bit SE πρέπει να γραφτεί με λογικό '1' για να τεθεί το MCU σε κατάσταση αναστολής λειτουργίας όταν εκτελείται η εντολή SLEEP. Για να αποφύγετε την είσοδο του MCU σε

κατάσταση αναστολής λειτουργίας εκτός και αν εξιπηρετεί τον σκοπό του προγραμματιστή, συνιστάται να γράψετε το bit Sleep Enable (SE) σε λογικό '1' λίγο πριν την εκτέλεση της εντολής SLEEP και να την καθαρίσετε αμέσως μετά την επαναφορά του από την κατάσταση ύπνου .

Λειτουργία αδράνειας

Όταν τα SM1 .. 0 bit γράφονται με 00, η εντολή SLEEP κάνει το MCU να ενεργοποιήσει την

Λειτουργία αδράνειας, σταματώντας την CPU αλλά ταυτόχρονα επιτρέπει στις μονάδες UART, Αναλογικού Συγκριτή, ADC, USI, τους Χρονοδιακόπτες/Μετρητές, Watchdog και το σύστημα διακοπής για να συνεχίσει να λειτουργεί. Αυτή η λειτουργία ύπνου ουσιαστικά σταματά το clkCPU και το clkFLASH , ενώ επιτρέπει στα άλλα ρολόγια να τρέχουν. Η κατάσταση αδράνειας επιτρέπει στο MCU να βγάνει από την κατάσταση ύπνου από εξωτερικές διακοπές καθώς και εσωτερικές όπως οι διακοπές Timer Overflow και UART Transmit Complete. Σε περίπτωση αφύπνισης από τον Αναλογικό Συγκριτή δεν απαιτείται , ο Αναλογικός Συγκριτής μπορεί να απενεργοποιηθεί ρυθμίζοντας το bit ACD στον έλεγχο αναλογικού συγκριτή καθώς και στον καταχωρητή καταστασης – ACSR. Αυτό θα μειώσει την κατανάλωση ενέργειας στην κατάσταση αναμονής .

Λειτουργία απενεργοποίησης

Όταν τα SM1 .. 0 bit γράφονται σε 01 ή 11, η εντολή SLEEP κάνει τον MCU να τεθεί σε λειτουργία απενεργοποίησης. Σε αυτή τη λειτουργία, ο εξωτερικός ταλαντωτής σταματά, ενώ οι λειτουργίες εξωτερικών διακοπών , η ανίχνευση συνθηκών εκκίνησης USI , η λειτουργία του επιτηρητή Watchdog - (αν είναι ενεργοποιημένο) συνεχίζουν να λειτουργούν . Μόνο μια εξωτερική πηγή επαναφοράς , μια επαναφορά από υπερχειλίση του Watchdog, ένα Brown-out reset , USI διακοπή κατάστασης εκκίνησης , διακοπή εξωτερικού επιπέδου στο INTO ή διακοπή αλλαγής της κατάστασης του pin μπορεί να ' Ξυπνήσει' τον MCU. Αυτή η λειτουργία ύπνου ουσιαστικά σταματά όλα τα ρολόγια που δημιουργούνται, επιτρέποντας τη λειτουργία μόνο των ασύγχρονων μονάδων.

Λειτουργία αναμονής

Όταν τα SM1 .. 0 bit είναι σε κατάσταση 10 και έχει επιλεγεί ένα εξωτερικό ρολόι κρυστάλλου/αντηχειίου,

η εντολή SLEEP κάνει το MCU να εισέλθει σε κατάσταση αναμονής. Αυτή η λειτουργία είναι πανομοιότυπη με την Απενεργοποίηση με την εξαίρεση ότι ο Ταλαντωτής συνεχίζει να λειτουργεί. Από την κατάσταση αναμονής, η συσκευή ξυπνά σε έξι κύκλους ρολογιού.

Πίνακας 14. Ενεργοί τομείς ρολογιού και πηγές αφύπνισης στις διαφορετικές λειτουργίες ύπνου.

Sleep Mode	Active Clock Domains			Oscillators	Wake-up Sources				
	clk _{CPU}	clk _{FLASH}	clk _{IO}	Enabled	INT0, INT1 and Pin Change	USI Start Condition	SPM/EEPROM Ready	Other I/O	WDT
Idle			X	X	X	X	X	X	X
Power-down					X ⁽²⁾	X			X
Standby ⁽¹⁾				X	X ⁽²⁾	X			X

Notes: 1. Only recommended with external crystal or resonator selected as clock source.
2. For INT0, only level interrupt.

Άμεσος ψηφιακός συνθέτης AD9851 CMOS 180 MHz DDS/DAC

Τεχνικά χαρακτηριστικά

- Ρυθμός ρολογιού 180 MHz με δυνατότητα επιλογής πολλαπλασιαστική x 6 για το ρολόι αναφοράς
- Ενσωματωμένος υψηλής απόδοσης DAC 10 bit και υψηλής ταχύτητας σύγκριση με υστέρηση SFDR >43 dB @ 70 MHz AOUT
- Λέξη συχνότητας συντονισμού 32 bit
- Απλοποιημένη διεπαφή ελέγχου: Παράλληλη ή Σειριακή Ασύγχρονη Φόρτωση
- Δυνατότητα φάσης παρεμβολής 5 bit και δυνατότητα μετατόπισης της σύγκρισης θορύβου <80 ps p-p @ 20 MHz
- Λειτουργία μονής τροφοδοσίας 2.7 V έως 5.25 V Χαμηλή κατανάλωση ενέργειας: 555 mW @ 180 MHz
- Λειτουργία απενεργοποίησης, 4 mW @ 2.7 V Πολύ μικρή συσκευασία 28-Lead SSOP

Εφαρμογές

Σύνθεση παλμού/φάσης ημιτονοειδούς κύματος και κυκλώματα κλειδώματος για ψηφιακές επικοινωνίες Ψηφιακά ελεγχόμενη γεννήτρια κωδικοποίησης ADC

Εφαρμογές ευέλικτου τοπικού ταλαντωτή σε επικοινωνίες ,ταλαντωτής τετραγωνικού παλμού. Αποστολέας λειτουργιών CW, AM, FM, FSK, MSK

Γενική περιγραφή AD9851

Η συσκευή επιτρέπει ακριβή χειρισμό της συχνότητας και προσφέρει υψηλή ανάλυση στην επιλογή της εξόδου συχνότητας, περίπου 0.04 Hz σε ρυθμό ρολογιού 180 MSPS. Το

κυματομορφή εξόδου είναι συνεχούς φάσης, διασφαλίζοντας ομαλές μεταβάσεις μεταξύ αλλαγών συχνότητας. Η AD9851 μπορεί να χρησιμοποιεί είτε άμεσα το αναφορικό ρολόι είτε να ενεργοποιήσει έναν πολλαπλασιαστή 6x REFCLK.

Τα κυκλώματα DDS λειτουργούν ως ψηφιακός διαιρέτης συχνότητας με ανάλυση που καθορίζεται από τη συχνότητα του ρολογιού του συστήματος και τον αριθμό των bits στον συντονιστικό λέξη. Ο συσσωρευτής φάσης, ένας μεταβλητός μετρητής modulus, αυξάνει με κάθε παλμό ρολογιού, επιστρέφοντας στην αρχή όταν φτάνει στην πλήρη κλίμακα, διατηρώντας έτσι τη συνέχεια της φάσης.

Η AD9851 χρησιμοποιεί έναν αλγόριθμο περιστροφής γωνίας για να μετατρέψει την περικομμένη τιμή 14-bit του συσσωρευτή φάσης σε μια κβαντισμένη τιμή 10-bit για τον DAC, μειώνοντας το μέγεθος του πίνακα αναζήτησης ROM και την κατανάλωση ενέργειας. Η συχνότητα εξόδου είναι προϊόν της αύξησης της φάσης και του ρολογιού του συστήματος διαιρούμενη με 2^N

Όπου $N = 0$ αριθμός των bit της λέξης συντονισμού δλδ στο συγκεκριμένο chip 32bit

Έτσι διαμορφώνεται ο μαθηματικός τύπος μέσω του οποίου μπορώ να βρω το ελάχιστο βήμα στην αλλαγή συχνότητας

$$F_{out} = \frac{(\Delta phase) \times (system\ clock)}{2^{32}}$$

Ως δειγματοληπτικό σήμα, το φάσμα εξόδου περιλαμβάνει θεμελιώδη και αλλοιωμένα σήματα, ακολουθώντας το θεώρημα δειγματοληψίας Nyquist. Ένα φίλτρο χαμηλής διέλευσης συνήθως εφαρμόζεται για την καταστολή των επιπτώσεων της αλλοίωσης και των ψευδών σημάτων. Η συσκευή διασφαλίζει βέλτιστη δυναμική απόδοση και χαμηλή ενέργεια glitch για τον DAC.

Η είσοδος αναφορικού ρολογιού έχει ελάχιστους περιορισμούς συχνότητας, κάτω από τους οποίους η συσκευή εισέρχεται σε λειτουργία απενεργοποίησης, απενεργοποιώντας τον συγκριτή. Οι υψηλές συχνότητες ρολογιού συστήματος βοηθούν στη μείωση της επίδρασης του θορύβου φάσης του αναφορικού ρολογιού στην έξοδο DDS. Η ενεργοποίηση του πολλαπλασιαστή 6x REFCLK αυξάνει τον θόρυβο φάσης, οπότε η χρήση αναφορικού ρολογιού με χαμηλό θόρυβο φάσης διασφαλίζει υψηλής ποιότητας απόδοση εξόδου.

Σύνοψη προγραμματισμού του AD9851

Το AD9851 είναι μια συσκευή Direct Digital Synthesis (DDS) με καταχωρητή 40-bit που χρησιμοποιείται για την αποθήκευση διαφόρων λέξεων ελέγχου, συμπεριλαμβανομένης μιας λέξης ελέγχου συχνότητας 32-bit, μιας λέξης διαμόρφωσης φάσης 5-bit και πρόσθετων bit ελέγχου για την ενεργοποίηση του 6x REFCLK συναρτήσεις πολλαπλασιαστή και

απενεργοποίησης. Αυτός ο καταχωρητής μπορεί να προγραμματιστεί είτε σε παράλληλη είτε σε σειριακή λειτουργία. Τα βασικά σημεία στον προγραμματισμό του AD9851 περιλαμβάνουν:

Λειτουργίες καταχωρητών φόρτωσης :

Παράλληλη λειτουργία: Ο καταχωρητής 40-bit φορτώνεται χρησιμοποιώντας έναν δίαυλο 8-bit σε πέντε επαναλήψεις. Η ανερχόμενη άκρη του σήματος FQ_UD μεταφέρει τα περιεχόμενα του καταχωρητή στη συσκευή και επαναφέρει τον δείκτη διεύθυνσης λέξης σε W0.

Σειριακή λειτουργία: Τα δεδομένα φορτώνονται bit-bit μέσω του Pin 25 (D7) σε σαράντα ανερχόμενες άκρες του σήματος W_CLK. Πρόσθετες άκρες W_CLK μετά την πλήρωση του μητρώου θα καταστρέψουν τα δεδομένα.

Σημαντικές ρυθμίσεις bit:

Πολλαπλασιαστής 6x REFCLK: Ενεργοποιείται ορίζοντας ένα συγκεκριμένο bit υψηλό (δεδομένα[0] του W0 σε παράλληλη λειτουργία ή του W32 σε σειριακή λειτουργία).

Λειτουργία εργοστασιακής δοκιμής: Δεν πρέπει να εισαχθεί ακούσια με ρύθμιση των δεδομένων[1] W0 (παράλληλη) ή W33 (σειριακή) σε υψηλά επίπεδα. Εάν συμβεί αυτό, απαιτείται RESET για έξοδο.

Επισημάνσεις κατά τον προγραμματισμό:

Αποφύγετε την αποστολή παλμού FQ_UD μετά την αρχική ενεργοποίηση και το reset , εάν τα περιεχόμενα του καταχωρητή είναι άγνωστα για την αποφυγή ακούσιων λειτουργιών.

Στη σειριακή λειτουργία, αφού εισέλθετε στη λειτουργία, αντικαταστήστε αμέσως την αρχική παράλληλη λέξη με μια έγκυρη σειριακή λέξη 40 bit για να αποφύγετε ακούσιες ρυθμίσεις.

Παράδειγμα προγραμματισμού:

Για να επιτύχετε μια φάση 11,25°, ενεργοποιήστε τον πολλαπλασιαστή 6 REFCLK, εξασφαλίστε τη λειτουργία ενεργοποίησης και ορίστε έξοδο 10 MHz με ρολόι συστήματος 180 MHz:

Παράλληλη λειτουργία: Προγραμματίστε τη λέξη ελέγχου 40 bit ως πέντε φορτώσεις 8 bit:

W0 = 00001001

W1 = 00001110

W2 = 00111000

W3 = 11100011

W4 = 10001110

Σειριακή λειτουργία: Φορτώστε τα 40 bit ξεκινώντας από το λιγότερο σημαντικό bit (LSB) του W4 έως το πιο σημαντικό bit (MSB) του W0. Η παρούσα κατασκευή υλοποιήθηκε με χρήση της σειριακής επιλογής λόγω περιορισμού στο πλήθος των ακροδεκτών του ATiny2313

Έλεγχος και χρονισμός:

Οι εκχωρήσεις λειτουργιών και ο λεπτομερής χρονισμός για διάφορες λειτουργίες (ενημέρωση συχνότητας/φάσης, επαναφορά, πολλαπλασιαστής REFCLK, λειτουργίες ισχύος) περιγράφονται στους παρεχόμενους πίνακες και τα διαγράμματα χρονισμού του datasheet της συγκεκριμένης συσκευής .

Ακολουθώντας αυτές τις οδηγίες και προφυλάξεις, οι χρήστες μπορούν να προγραμματίσουν αποτελεσματικά το AD9851 για την επιθυμητή λειτουργία.

Οδηγίες για σχεδίαση τυπωμένου κυκλώματος PCB

Παρακάτω παρέχονται λεπτομερείς οδηγίες για τον σχεδιασμό και τη διάταξη των εκτυπωμένων πλακών (PCBs) χρησιμοποιώντας ως παραδείγματα τις κάρτες αξιολόγησης AD9851 παρουσιάζονται εκτενώς στο φύλλο δεδομένων του AD9851. Επίσης τονίζεται τη σημασία της χρήσης πρακτικών τεχνικών σχεδιασμού για διατάξεις υψηλής συχνότητας / υψηλής ανάλυσης. Κύρια σημεία περιλαμβάνουν τη σύσταση για πολυεπίπεδα PCBs με επίπεδα αποκλειστικά για τροφοδοσία και γείωση , ελαχιστοποίηση των εγχαραγμάτων σε αυτά τα επίπεδα και ενσωμάτωση επιφανειακών επιπέδων γείωσης για συσκευές επιφανειακής τοποθέτησης SMD . Συνιστά τη σύνδεση ξεχωριστών αναλογικών και ψηφιακών επιπέδων γείωσης για βέλτιστη απόδοση και δεν συνίσταται η σχεδίαση ψηφιακών γραμμών κάτω από τη συσκευή για να αποφευχθεί η σύζευξη θορύβου. Επιπλέον, προτείνεται τη χρήση μεγάλων αγωγών για γραμμές τροφοδοσίας, τη χρήση τεχνικών ελέγχου της αντίστασης της Γραμμής μεταφοράς για γρήγορα σήματα εναλλαγής και την αποφυγή διασταύρωσης ψηφιακών και αναλογικών διαδρομών σήματος. Επίσης, επισημαίνεται η σημασία της καλής απομόνωσης τροφοδοσίας, με συστάσεις για την τοποθέτηση των πυκνωτών απομόνωσης κοντά στις ακίδες της συσκευής. Ο κατασκευαστής προτείνει επίσης τη χρήση πυκνωτών κεραμικών τσιπ υψηλής ποιότητας για την απομόνωση και συνιστά τη χρήση της τροφοδοσίας AVDD του συστήματος σε περιπτώσεις όπου χρησιμοποιείται κοινή τροφοδοσία για τις AVDD και DVDD. Τέλος, αναφέρει τη διαθεσιμότητα υποστήριξης μηχανικής εφαρμογών της Analog Devices για περαιτέρω βοήθεια σχετικά με τη γείωση και τη διάταξη του PCB.

Μονάδα Απεικόνισης LCD

Περιγραφή ελεγκτή οθόνης HD44780U

Το HD44780U είναι ένας διαδεδομένος ελεγκτής και οδηγός για Dot Matrix Liquid Crystal Displays (LCD), κατασκευασμένος από την Hitachi. Είναι ευρέως χρησιμοποιούμενος σε συσκευές όπως μικροελεγκτές, για την απεικόνιση χαρακτήρων και γραφικών σε μικρές

οθόνες LCD. Ο ελεγκτής αυτός μπορεί να διαχειριστεί οθόνες διαφόρων διαστάσεων, καθιστώντας τον ιδανικό για πληθώρα εφαρμογών στην ηλεκτρονική και την ενσωματωμένη ανάπτυξη συστημάτων.

Ο HD44780U υποστηρίζει έναν ευέλικτο χαρακτήρα χάρτη που μπορεί να προσαρμοστεί για διάφορες γλώσσες και γραφικά σύμβολα. Διαθέτει εσωτερική ROM με προγραμματισμένα σύνολα χαρακτήρων, επιτρέποντας την εύκολη χρήση και εμφάνιση προ-ορισμένων χαρακτήρων. Επιπλέον, προσφέρει τη δυνατότητα δημιουργίας προσαρμοσμένων χαρακτήρων μέσω του Character Generator RAM (CGRAM), δίνοντας τη δυνατότητα στους χρήστες να σχεδιάζουν και να αποθηκεύουν ειδικά σύμβολα που δεν περιλαμβάνονται στην προεγκατεστημένη ROM.

Τρόπος λειτουργίας

Η λειτουργία του HD44780U βασίζεται σε έναν μικροεπεξεργαστή που αλληλοεπιδρά με το LCD μέσω ενός συνόλου εντολών. Ο ελεγκτής υποστηρίζει τόσο 4-bit όσο και 8-bit λειτουργίες επικοινωνίας, επιτρέποντας ευελιξία στην ενσωμάτωσή του σε διαφορετικά συστήματα. Οι εντολές ελέγχουν διάφορες λειτουργίες όπως η θέση του κέρσορα, η κύλιση του κειμένου και η ενεργοποίηση ή απενεργοποίηση της οθόνης, διευκολύνοντας τη δημιουργία δυναμικών και διαδραστικών οθονών.

Η αξιοπιστία και η ευχρηστία του HD44780U τον καθιστούν πρότυπο στην αγορά των LCD ελεγκτών. Η ευρεία αποδοχή του από την κοινότητα των προγραμματιστών και η πληθώρα διαθέσιμων βιβλιοθηκών και οδηγιών χρήσης καθιστούν εύκολη την ενσωμάτωση και τη χρήση του σε διάφορα έργα. Οι προγραμματιστές μπορούν να επωφεληθούν από την εκτενή τεκμηρίωση και την υποστήριξη που προσφέρεται, επιτρέποντάς τους να αναπτύσσουν γρήγορα και αποτελεσματικά διασυνδέσεις χρήστη για τα προϊόντα τους.

Τεχνικά χαρακτηριστικά του HD44780U

Τα τεχνικά χαρακτηριστικά του HD44780U της Hitachi περιλαμβάνουν διάφορες λειτουργίες και προδιαγραφές που τον καθιστούν κατάλληλο για τη διαχείριση και την οδήγηση μικρών οθονών LCD. Ακολουθεί μια λεπτομερής παρουσίαση των βασικών τεχνικών χαρακτηριστικών του:

- 1. Μέγεθος Οθόνης:**
 - Υποστηρίζει διαστάσεις έως και 2 γραμμών με 16 χαρακτήρες ανά γραμμή ή 4 γραμμών με 20 χαρακτήρες ανά γραμμή.
- 2. Διασύνδεση:**
 - Δυνατότητα λειτουργίας σε 4-bit ή 8-bit mode.
 - Διασύνδεση με μικροεπεξεργαστές και μικροελεγκτές μέσω παράλληλου interface.
 - Επιλογή επικοινωνίας είτε σε single (1-bit) είτε σε dual (2-bit) interface mode.
- 3. Τροφοδοσία Ρεύματος:**

- Λειτουργία σε εύρος τάσης από 2.7V έως 5.5V.
 - Κατανάλωση ρεύματος: τυπικά 1mA χωρίς backlight, εξαρτώμενη από το μέγεθος της οθόνης και το backlight.
4. **Χαρακτήρες και Γραφικά:**
- Ενσωματωμένη ROM για 192 προκαθορισμένους χαρακτήρες και σύμβολα.
 - Character Generator RAM (CGRAM) για τη δημιουργία έως και 8 προσαρμοσμένων χαρακτήρων (5x8 dots).
 - Character Generator ROM (CGROM) με 208 χαρακτήρες (5x8 dots) και 32 χαρακτήρες (5x10 dots).
 - Υποστήριξη για γραφικά με βάση το dot matrix (πλέγμα κουκίδων).
5. **Λειτουργίες Οθόνης:**
- Έλεγχος της θέσης του κέρσορα και της κύλισης της οθόνης.
 - Εντολές για την ενεργοποίηση/απενεργοποίηση της οθόνης και του κέρσορα.
 - Δυνατότητα ανάγνωσης και εγγραφής δεδομένων στη μνήμη του LCD.
6. **Χρονοδιαγράμματα και Ταχύτητα:**
- Μέγιστη συχνότητα λειτουργίας: 270kHz.
 - Χρόνος κύκλου εκτέλεσης εντολής: τυπικά 37us για περισσότερες εντολές.
 - Εσωτερική χρονική μονάδα για τον έλεγχο του χρονισμού των εντολών και της επικοινωνίας.
7. **Περιβαλλοντικές Συνθήκες:**
- Θερμοκρασία λειτουργίας: από -20°C έως +70°C.
 - Θερμοκρασία αποθήκευσης: από -30°C έως +80°C.

Αυτά τα χαρακτηριστικά καθιστούν τον HD44780U έναν ευέλικτο και αξιόπιστο ελεγκτή/οδηγό για την ανάπτυξη εφαρμογών που απαιτούν οθόνες LCD μικρού μεγέθους, όπως σε βιομηχανικά, καταναλωτικά και ενσωματωμένα συστήματα.

Περιγραφή ακροδεκτών

Ο ελεγκτής/οδηγός HD44780U της Hitachi διαθέτει 16 ακροδέκτες (pins), καθένας με συγκεκριμένη λειτουργία. Η ακόλουθη παρουσίαση περιγράφει τις λειτουργίες των pins και τον τρόπο με τον οποίο μπορούν να συνδεθούν σε ένα σύστημα:

1. **Pin 1 (Vss):**
 - Γείωση (Ground, 0V).
2. **Pin 2 (Vdd):**
 - Τάση τροφοδοσίας (συνήθως +5V).
3. **Pin 3 (Vo):**
 - Ρύθμιση της αντίθεσης του LCD. Συνδέεται με μεταβλητή αντίσταση (ποτενσιόμετρο).
4. **Pin 4 (RS - Register Select):**
 - Επιλογή καταχωρητή:
 - 0: Δεδομένα εντολών.

- 1: Δεδομένα χαρακτήρων.
5. **Pin 5 (R/W - Read/Write):**
 - Επιλογή λειτουργίας ανάγνωσης/εγγραφής:
 - 0: Εγγραφή (Write).
 - 1: Ανάγνωση (Read).
 6. **Pin 6 (E - Enable):**
 - Ενεργοποίηση του ελεγκτή. Όταν το σήμα αλλάζει από χαμηλό σε υψηλό (falling edge), τα δεδομένα μεταφέρονται από το μικροελεγκτή στον LCD ή αντίστροφα.
 7. **Pins 7-14 (DB0-DB7):**
 - Δίαυλος δεδομένων (Data Bus):
 - DB0-DB3 (Pins 7-10): Χρησιμοποιούνται σε λειτουργία 8-bit.
 - DB4-DB7 (Pins 11-14): Χρησιμοποιούνται και σε λειτουργία 4-bit και σε λειτουργία 8-bit.
 - Τα δεδομένα μεταφέρονται μέσω αυτών των ακροδεκτών.
 8. **Pin 15 (A/Vcc):**
 - Τροφοδοσία για το backlight (θετικός πόλος). Συνήθως συνδέεται με +5V (ανάλογα με το LCD μοντέλο).
 9. **Pin 16 (K/Vss):**
 - Γείωση για το backlight (αρνητικός πόλος). Συνήθως συνδέεται με τη γείωση (Ground).

Διάταξη ακροδεκτών

Pin No	Symbol	Description
1	Vss	Ground (0V)
2	Vdd	Supply voltage (+5V)
3	Vo	Contrast adjustment (through a potentiometer)
4	RS	Register Select (0: Instruction, 1: Data)
5	R/W	Read/Write (0: Write, 1: Read)
6	E	Enable signal
7	DB0	Data bus line 0 (least significant bit)
8	DB1	Data bus line 1
9	DB2	Data bus line 2
10	DB3	Data bus line 3
11	DB4	Data bus line 4
12	DB5	Data bus line 5
13	DB6	Data bus line 6
14	DB7	Data bus line 7 (most significant bit)
15	A/Vcc	LED backlight positive
16	K/Vss	LED backlight ground

Αυτή η διάταξη ακροδεκτών επιτρέπει την εύκολη σύνδεση και επικοινωνία με μικροελεγκτές και άλλα συστήματα, επιτρέποντας την προβολή δεδομένων και την αλληλεπίδραση με τον χρήστη μέσω του LCD.

Ο ελεγκτής/οδηγός HD44780U της Hitachi δέχεται δεδομένα σε δυαδική (binary) μορφή. Τα δεδομένα που αποστέλλονται στον ελεγκτή μέσω των ακροδεκτών δεδομένων (DB0-

DB7) είναι σε μορφή δυαδικού κώδικα (Binary). Δεν υποστηρίζει απευθείας είσοδο δεδομένων σε μορφή BCD (Binary-Coded Decimal) ή HEX (Hexadecimal).

Διαδικασία Αποστολής Δεδομένων:

Τα δεδομένα που αποστέλλονται στον ελεγκτή είναι σε δυαδική μορφή (0 και 1). Για παράδειγμα, ο χαρακτήρας 'A' στον ASCII κώδικα έχει την τιμή 65 σε δεκαδική μορφή, η οποία αντιστοιχεί στο δυαδικό αριθμό 01000001. Αυτή η δυαδική τιμή στέλνεται στον ελεγκτή μέσω των ακροδεκτών DB0-DB7.

Οργάνωση των ακροδεκτών βάση τρόπου εισαγωγής των δεδομένων :

- **4-bit Mode:**
 - Τα δεδομένα αποστέλλονται σε δύο διαδοχικά νύμπλ (nibbles). Κάθε νύμπλ αποτελείται από 4 bits. Αρχικά αποστέλλονται τα υψηλότερα 4 bits και στη συνέχεια τα χαμηλότερα 4 bits.
- **8-bit Mode:**
 - Τα δεδομένα αποστέλλονται πλήρως χρησιμοποιώντας και τα 8 bits (DB0-DB7).

Παράδειγμα Αποστολής Δεδομένων:

- **Σε 4-bit Mode:**
 - Για την αποστολή του δυαδικού αριθμού 01000001 (που αντιστοιχεί στο χαρακτήρα 'A'):
 - Αποστολή υψηλού νύμπλ: 0100 (DB4-DB7)
 - Αποστολή χαμηλού νύμπλ: 0001 (DB0-DB3)
- **Σε 8-bit Mode:**
 - Αποστολή πλήρους δυαδικού αριθμού: 01000001 (DB0-DB7)

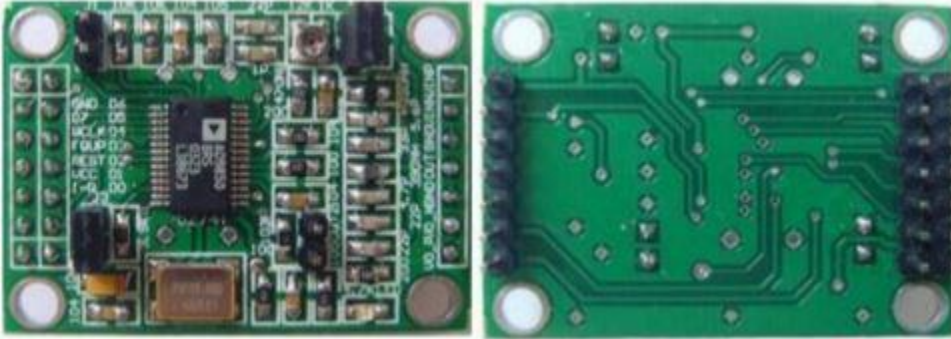
Συνοψίζοντας, ο HD44780U δέχεται δεδομένα μόνο σε δυαδική μορφή (binary). Εάν τα δεδομένα είναι σε άλλη μορφή (όπως BCD ή HEX), πρέπει πρώτα να μετατραπούν σε δυαδική μορφή πριν σταλούν στον ελεγκτή.

Μονάδα ψηφιακού συνθέτη AD9851 SoM

Περιγραφή συστήματος

Το System on module AD9850/AD9851 DDS βασίζεται στο DDS IC AD9850/AD9851 που παράγεται από την εταιρεία Analog Devices . Είναι κατασκευασμένο ώστε να δημιουργεί ημιτονοειδές και τετραγωνικό κύμα διαφορετικών συχνοτήτων . Για την παραγωγή ενός εύρους συχνοτήτων εξόδου , η μονάδα η μονάδα δίνει την δυνατότητα διασύνδεσης στο χρήστη είτε με σειριακή είτε με παράλληλη αποστολή δεδομένων στην πλακέτα .

Επιπλέον, ο κύκλος λειτουργίας του τετραγωνικού κύματος μπορεί να ρυθμιστεί από μια ρυθμιζόμενη αντίσταση - η οποία αλλάζει την τάση αναφοράς του συγκριτή. Επιπλέον ο οπ board εξωτερικός ταλαντωτής χρονισμού αποτελείται από ταλαντωτή κρυστάλλου με αντιστάθμιση θερμοκρασίας (TCXO)



Φυσική μορφή του module AD 9851

Τεχνικά χαρακτηριστικά

Αυτή η μονάδα μπορεί παρέχει ημιτονοειδές (0-70MHz) και τετράγωνικό (0-1MHz) σήμα εξόδου και διαθέτει 4 έξοδους 2ημιτονοειδών και 2 τετραγωνικών κυμάτων εξόδου. Οι αρμονικές αυξάνονται όταν η συχνότητα είναι πάνω από 20-30 MHz και η κυματομορφή θα είναι όλο και λιγότερο "καθαρή". Επιπλέον χρησιμοποιεί χαμηλοπερατό φίλτρο 70 MHz, το οποίο βελτιώνει την κυματομορφή. Επιπλέον παρέχει δυνατότητα επιλογής παράλληλης ή σειριακής εισαγωγή δεδομένων μέσω ενός βραχυκυκλωτήρα.

Ο ακροδέκτης που έχει ως σημείο αναφοράς DA έχει οδηγηθεί προς τα έξω, επομένως είναι βολικό για την ρύθμιση του μεγέθους και το κύκλου λειτουργίας του τετραγωνικού κύματος εξόδου.

Η Τάση αναφοράς εισόδου του συγκριτή, παράγεται από τη μεταβλητή αντίσταση και από την οποία μεταβλητή αντίσταση, ο κύκλος λειτουργίας του τετραγωνικού κύματος μπορεί να ρυθμιστεί. Η μονάδα AD9851 χρησιμοποιεί ενεργό κρύσταλλο 30MHz και πολλαπλασιαστή 6 δίνοντας την δυνατότητα στο AD9851 για μέγιστη συχνότητα ρολογιού 180 MHz.

μονάδα AD9851 οι λειτουργίες αυτές επιλέγονται κατά το δοκούν από τον μελετητή , μέσω ενός βραχυκυκλωτήρα

Ρύθμιση τρόπου εισόδου των δεδομένων

Jumper J1: Αποσυνδεδεμένο: παράλληλη λειτουργία

Συνδεδεμένο: σειριακή λειτουργία

Ρύθμιση του πλάτους εξόδου

Jumper J3: Αποσυνδεδεμένο: Εξωτερικό δυναμικό στην ακίδα IR για ρύθμιση του πλάτους

Εξόδου

Διασύνδεση ακίδων ελέγχου

Ανεξάρτητα από τη λειτουργία διαμόρφωσης, υπάρχουν τρεις ακίδες που πρέπει να συνδέσετε. Είναι wclk, fqup, reset και VCC(+5V). Όταν βρίσκόμαστε σε σειριακή λειτουργία, χρειάζεται απλώς να συνδέσουμε τον ακροδέκτη D7 για να διαμορφώσουμε τη μονάδα. Ενώ βρίσκεστε σε παράλληλη λειτουργία, πρέπει να συνδέσετε όλες τις ακίδες D0 έως D7 για να γίνει η διαμόρφωση. Για αλλαγή του πλάτους του σήματος εξόδου, ίσως χρειαστεί να συνδέσουμε τον ακροδέκτη IR σε ένα ποτενσιόμετρο .

ΚΕΦΑΛΑΙΟ 4^ο ΥΠΟΛΟΓΙΣΜΟΣ ΛΕΞΗΣ ΣΥΝΤΟΝΙΣΜΟΥ, ΠΡΑΞΕΙΣ ΜΕΤΑΤΡΟΠΗΣ ΚΑΙ ΤΡΟΠΟΙ ΑΠΟΣΤΟΛΗΣ ΔΕΔΟΜΕΝΩΝ

Γενικά

Στο παρόν κεφάλαιο παρουσιάζονται οι πράξεις που γίνονται στο εσωτερικό του επεξεργαστή από το πρόγραμμα προκειμένου να δημιουργηθεί η λέξη συντονισμού που είναι αντιληπτή από την μονάδα DDS . Επιπλέον γίνεται αναφορά στους τρόπους μετατροπής των δεδομένων ανάλογα με τον τρόπο εισόδου αυτών (πληκτρολόγιο ή UART) στην μονάδα του MCU . Τέλος παρουσιάζεται ο χάρτης μνήμης του προγράμματος .

Τρόπος υπολογισμού λέξης προς αποστολή στο DDS module

Από τον μαθηματικό τύπου που δίνει ο κατασκευαστής , γνωρίζω ότι:

$$F_{out} = \Delta * \frac{Clck_{ref} * Multiplier}{2^N}$$

F_{out} = συχνότητα εξόδου DDS (ταυτόχρονα και συχνότητα απεικόνισης στο LCD)

Δ = λέξη συχνότητας αντιληπτή από το DDS , λέξη που στέλνει ο Η/Υ μέσω Usart στην MCU

N = μήκος λέξης 32bit

Έτσι εάν το κλάσμα με συχνότητα κρυστάλλου χρονισμού 30Khz και N-32bit βρισκώ το βήμα δλδ την ελάχιστη δυνατή μεταβολή της συχνότητας που μπορεί να επιτύχει το ic DDS

$$F_{out} = \Delta * \frac{30Khz * 6}{2^{32}} \quad (1)$$

$$F_{out} = \Delta * \frac{30Khz * 6}{2^{32}} = \Delta * 0,041909 = \Delta * \text{βήμα} \quad (2)$$

$$\Delta = F_{(out-keyborad-lcd)} * \frac{1}{0.041909} \quad (3)$$

Για να γίνει αυτό αντιληπτό θέτω σαν λέξη συχνότητας $\Delta = 1$

$F_{out} = 1 * 0.041909 = 0.041909$ δλδ εάν απεικονίσω συχνοτητα ενως Hz στην έξοδο θα πάρω 0.041909

Εισαγωγή Δεδομένων από Πληκτρολόγιο

Από το πληκτρολόγιο εισάγω την λέξη που εμφανίζεται στην οθόνη , είναι η συχνότητα που έχει επιλέξει ο χρήστης και που επιθυμεί να πάρει ω έξοδο στο DDS .Η λέξη που αποτελεί αυτήν την συχνότητα δεν είναι ταυτόχρονα όμως και η λέξη που προϋποθέτει ως είσοδο το DDS για να την παράγει . Έτσι λοιπόν καλούμαστε να διαιρέσουμε την συχνότητα που εισάγουμε με το βήμα προκειμένου να παράξουμε την επιθυμητή συχνότητα και εν συνέχεια να την εκφράσουμε σε δυαδική λέξη και να την στείλουμε στην είσοδο δεδομένων του DDS .

$$\text{Λόγο(3) έχω} \quad \Delta = F_{(out-keyborad-lcd)} * 23.8609$$

όπου $23,8609 = 1/0.041909$

Εισαγωγή δεδομένων από USART

Η λέξη που εισάγουμε από το τερματικό του Η/Υ μέσω USB TO USART είναι εξαρχής διαμορφωμένη ώστε να είναι αντιληπτή από το DDS έτσι προκειμένου να απεικονιστεί σωστά στην οθόνη δημιουργείται η αναγκαιότητα να την μετατρέψω ,πολλαπλασιάζοντας την με το Βήμα

$$\text{Λόγο (2) έχω} \quad F_{(out-lcd)} = \Delta * 0.041909$$

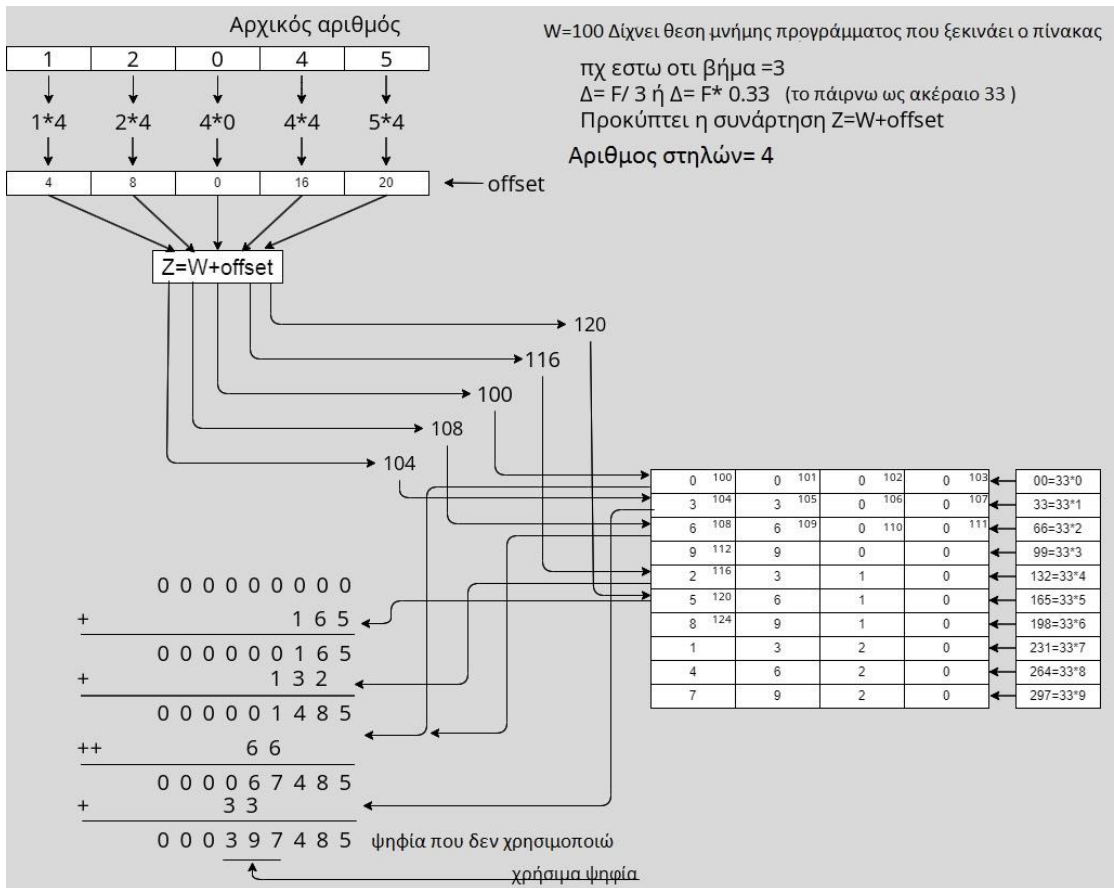
Πράξη πολλαπλασιασμού

Καθώς είδαμε παραπάνω και στην περίπτωση εισαγωγής της συχνότητας μέσω πληκτρολογίου είτε μέσω σειριακής USART παρουσιάζεται η πράξη του πολλαπλασιασμού . πράξη αρκετά χρονοβόρα και απαιτητική . Για αυτόν τον λόγο την εν λόγο πράξη την διεκπεραιώνουμε με την εξής μεθοδολογία . με την οποία μέρος των απαραίτητων για την πράξη δεδομένων είναι υποθηκευμένα με την μορφή πίνακα στην μνήμη προγράμματος .

Πολλαπλασιάζω κάθε ψηφίο ξεχωριστά με έναν αριθμό ο οποίος σε κάθε περίπτωση εξαρτάται από τον αριθμό των στηλών του πίνακα στον οποίο έχω μεταφέρει τα αποτελέσματα του πολλαπλασιασμού του βήματος το οποίο έχω κάνει ακέραιο .

Εν συνεχεία παίρνω το αποτέλεσμα του πολλαπλασιασμού του ψηφίου με τον αριθμό των στηλών(offset) και προσθέτω τον αριθμό $w= 100$ (αριθμός που προκύπτει από την μετατροπή του δεκαδικού αριθμού του βήματος σε ακέραιο) έτσι προκύπτει ο αριθμός Z βάση του οποίου αρχίζω να κάνω προσπέλαση στον πίνακα με τα αποτελέσματα του πολλαπλασιασμού του βήματος και τον οποίο έχω αρχίσει να αριθμώ από το 100 . Αφού βρω βάση αριθμησης το κελί που με ενδιαφέρει μεταφέρω τους αριθμούς που βρίσκω στην σειρά αυτού αντιστρέφοντας τους και στην συνέχεια τους προσθέτω μεταφέροντας κατά μια θέση . από το αποτέλεσμα που προκύπτει οι 3 πρώτοι αριθμοί είναι αυτοί που με

ενδιαφέρουν (οι αριθμοί που υπολείπονται είναι μέρος μετα την υποδιαστολή και δεν χρησιμοποιούνται) που παραθέτουμε παρακάτω μέσω παραδείγματος

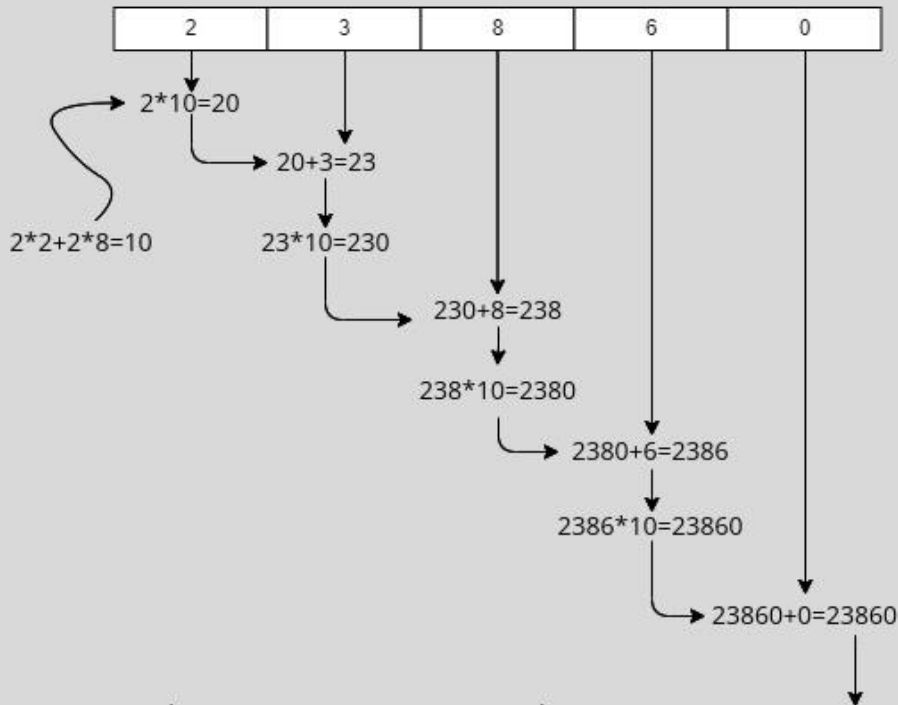


Μετατροπή BCD σε Binary

Προκειμένου να επιτύχω την συγκεκριμένη μετατροπή εργάζομαι με την εξής διαδικασία . Αρχικά χειρίζομαι τα ψηφία ξεχωριστά . Ξεκινώντας από το MSB παίρνω το πρώτο ψηφίο το οποίο πολλαπλασιάζω με Βάρος το 10 , στην συνέχεια προσθέτω στο γινόμενο που προκύπτει το επόμενο κατά σειρά ψηφίο και επαναλαμβάνω την διαδικασία μέχρις ότου τελειώσει η ακολουθία ψηφίων . Επιπλέον στην συγκεκριμένη μετατροπή κατά την εκτέλεση του προγράμματος η πράξη του πολλαπλασιασμού με το βάρος του 10 γίνεται σπάζοντας το βάρος σε δυο πολλαπλασιασμούς και μια πρόσθεση Δλδ $X*10 = X*(2+8) = X*2 + X*8$. Αυτό κρίνεται αναγκαίο καθότι η αρχιτεκτονική AVR χρησιμοποιεί για τον εσωτερικό πολλαπλασιαστή τους καταχωρητές R_0 και R_1 οι οποίοι χρησιμοποιούνται για διαφορετική εργασία στο πρόγραμμα . Παρακάτω παρατίθεται παράδειγμα προκειμένου η μέθοδος να γίνει κατανοητή .

BCD to Bin

Εστω οτι έχω τον αριθμό 23860



Στην μετατροπή BCD 2 Bin ο πολλαπλασιασμός με βάρος το 10 "σπάζει" $X \cdot 10 = X \cdot (2+8) = X \cdot 2 + X \cdot 8$

Μετατροπή Binary σε BCD

Για να μετατρέψω έναν αριθμό από δυαδικό σε BCD ελέγχω αν ο αριθμός είναι και επαναλαμβάνω την διαδικασία μέχρις ότου ολισθήσω όλα τα ψηφία σε ομάδες των 4 Bit με την κάθε μία να εκφράζει ένα ψηφίο (κωδικας BCD) . Παρακάτω δίνεται παράδειγμα με τον αριθμό 201 .

Η υλοποίηση της μετατροπής ενός αριθμού , εκφρασμένου στο δυαδικό σύστημα , σε Κώδικα BCD επιτυγχάνεται με το να ολισθίσουμε κατά 4 bit και να ελέγξουμε όλες τις "τετράδες" αν έχουν τιμή πάνω από 4 (0100_2) και όσες έχουν, διορθώνουμε προσθέτοντας 3 (0011_2) και μετά ολισθαίνουμε μία θέση αριστερά. Συγκεκριμένα στο πρόγραμμα Το "T" flag χρησιμοποιείται σαν κρατούμενο (carry) μεταξύ των "τετράδων". Μέχρι να πάρει τιμή > 4 η πρώτη (δεξιά) "τετράδα" δεν χρειάζεται να ελέγξω τις υπόλοιπες και έτσι κερδίζω χρόνο. Μετά τις 32 ($4 \cdot 8 \text{bit}$) ολισθήσεις παράγεται "racket BCD" που στην συνέχεια "ξεπακετάρεται". Παρακάτω δίνεται παράδειγμα με 8 ολισθήσεις που παράγουν 3 ή 4 πακέτα (ανάλογα εάν υπάρχει κρατούμενο) BCD πακέτα .

Π.Χ. ο αριθμός \$7B = 0111 1011 (123 στο δεκαδικό):

Αποτέλεσμα				Αρχικό	
1 ^ο Byte		2 ^ο Byte			
4 ^η	3 ^η	2 ^η	1 ^η	\$7B	
----	----	----	----	01111011	
0000	0000	0000	0000	01111011	ελέγξω την 1 ^η "τετράδα", δεν διορθώνω, ολισθαίνω ⁽¹⁾
0000	0000	0000	0000	11110110	ελέγξω την 1 ^η "τετράδα", δεν διορθώνω, ολισθαίνω ⁽²⁾
0000	0000	0000	0001	11101100	ελέγξω την 1 ^η "τετράδα", δεν διορθώνω, ολισθαίνω ⁽³⁾
0000	0000	0000	0011	11011000	ελέγξω την 1 ^η "τετράδα", δεν διορθώνω, ολισθαίνω ⁽⁴⁾
0000	0000	0000	0111	10110000	ελέγξω την 1 ^η "τετράδα" - είναι > 4
			+ 0011		διορθώνω
0000	0000	0000	1010	10110000	ολισθαίνω ⁽⁵⁾
0000	0000	0001	0101	01100000	ελέγξω όλες τις "τετράδες" - μόνο η 1 ^η είναι > 4
			+ 0011		διορθώνω
0000	0000	0001	1000	01100000	ολισθαίνω ⁽⁶⁾
0000	0000	0011	0000	11000000	ελέγξω όλες τις "τετράδες", δεν διορθώνω, ολισθαίνω ⁽⁷⁾
0000	0000	0110	0001	10000000	ελέγξω όλες τις "τετράδες" - η 2 ^η είναι > 4
			+ 0011		διορθώνω
0000	0000	1001	0011	00000000	ολισθαίνω ⁽⁸⁾
0000	0001	0010	0011		αποτέλεσμα 2 Byte: 00000001 00100011 "packet BCD"
				\$ 01	\$ 23

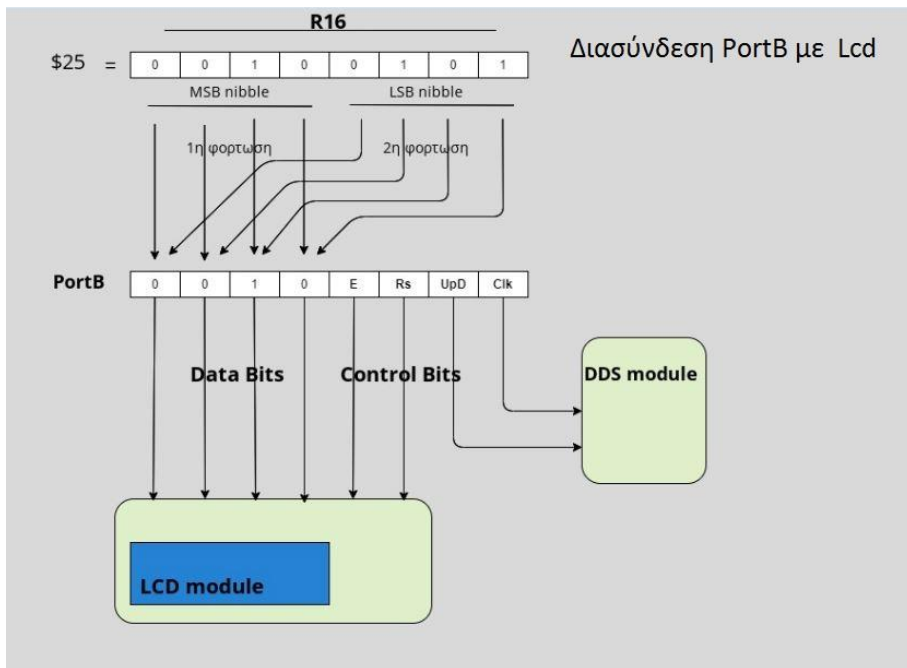
Μετά το "ξεπακετάρισμα": 3 ή 4 Byte: 00000000 00000001 00000010 00000011
 \$ 00 \$ 01 \$ 02 \$ 03

Τρόπος διασύνδεσης και αποστολής δεδομένων στην LCD

Η διασύνδεση της οθόνης με τον μικροεπεξεργαστή επιτυγχάνεται έχοντας επιλέξει την λειτουργία 4bit . Έτσι σύμφωνα με τις οδηγίες του κατασκευαστή ο προγραμματιστής καλείται να μεταφέρει δυο πακέτα των 4 bit ξεκινώντας από το υψηλό nibble .

Η είσοδος των δεδομένων ορίζεται από τις προδιαγραφές να είναι στα DB4 –DB7 . . οι ακροδέκτες αυτοί συνδέονται με το πρώτο μισό της Port B (στο δεύτερο μισό της ίδιας port εξάγουμε σήματα ελέγχου , όπως upd clk που σχετίζονται με το DDS καθώς και δύο σήματα Enable Rselect που σχετίζονται με την LCD . Τα παραπάνω σήματα ελέγχου πρέπει να μείνουν αναλλοίωτα ενώ ταυτόχρονα σε δύο μεταδόσεις καλούμαστε να αλλάξουμε το πρώτο μισό του 8bit καταχωρητή R17 φορτώνοντας του 2 τα δύο μισα του καταχωρητή R16 . συνεχία και εφόσον έχω διαμορφώσει τον καταχωρητή P17 τον φορτώνω στην portB .

Παρακάτω βλέπουμε την σύνδεση της Πόρτας με τις υπόλοιπες μονάδες καθώς και την διαδικασία δημιουργίας της αλληλουχίας των bit

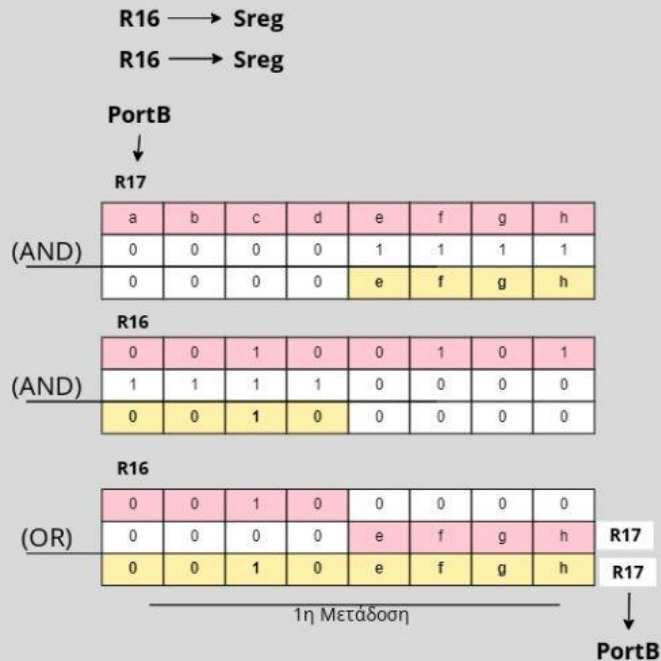


Για να επιτευχθεί αυτή η διαμόρφωση του R17 ο οποίος εν συνεχεία θα φορτωθεί στην πόρτα εξόδου ακολουθώ τα εξής βήματα

Μετάδοση πρώτου nibble

1. Φορτώνω τον R16 δύο φορές στην σορό .
2. Αντιγράφω τα bit που έχει η port b στον καταχωρητή R17
3. Κάνω λογική πράξη (AND) μεταξύ των 8bit του R17 με την ακολουθία 00001111 . Αυτό έχει σαν αποτέλεσμα να καθαρίσω τα 4 πρώτα bit ενώ ταυτόχρονα να διατηρήσω τα επόμενα .
4. Κάνω λογική πράξη (AND) μεταξύ των 8 bit του R16 με την ακολουθία 11110000 . Έτσι απομονώνω το πρώτο nibble .
5. Κάνω λογική πράξη (OR) μεταξύ των δυο διαμορφωμένων πλέον αναχωρητών R16 και R17 και φορτώνω το αποτέλεσμα την πράξης στον R17
6. Στην συνέχεια περνάω τα δεδομένα στην PortB

Διαδικασία 1ης Μετάδοσης



Μετάδοση δευτέρου nibble μέσω διαμόρφωσης R17.

1 Ξανακαλώ από την σορό την δεύτερη φόρτωση του R16

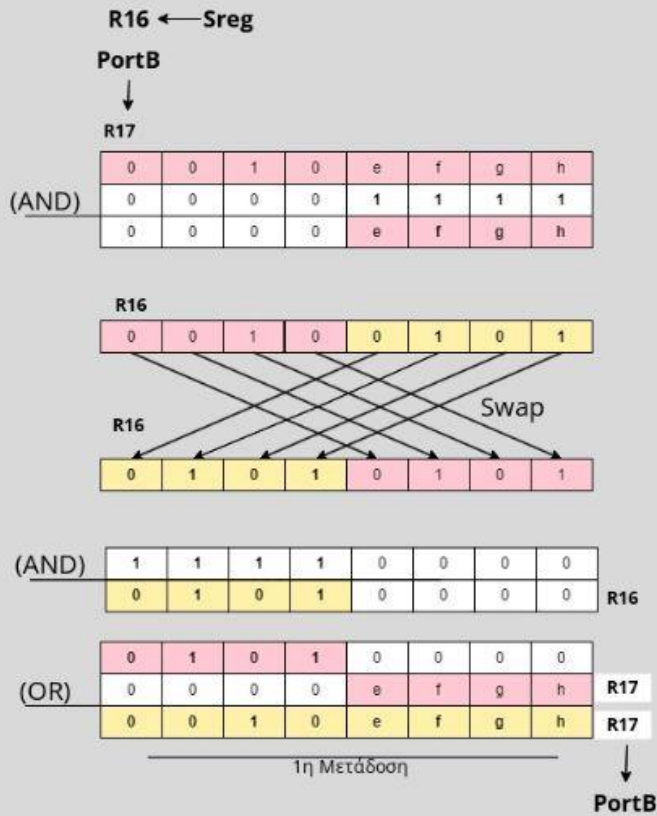
2 Κάνω λογική πράξη (AND) μεταξύ R16 και της ακολουθίας 00001111 και εξασφαλίζω την διατήρηση του δευτέρου nibble

4 με την εντολή SWAP μεταθέτω το λιγότερο σημαντικό nibble που βρίσκεται στην δεύτερη τετράδα bit στην θέση της πρώτης και αποθηκεύω εκ νέου στον R16

5 Κάνω λογική πράξη (OR) μεταξύ των δυο ήδη διαμορφωμένων αναχωρητών R17 R16 και αποθηκεύω στον R17

6 Στην συνέχεια περνάω τα δεδομένα από την R17 στην PortB .

Διαδικασία 2ης Μετάδοσης



Τροπος αποστολής δεδομένων στο DDS

Σύμφωνα με τα φύλα δεδομένων του κατασκευαστή , έχουμε προαναφέρει ότι το DDS iC σε σειριακή συνδεσμολογία δέχεται 40 Bit οργανωμένα σε 5 ομάδες των 8 bit (1byte) . Από τα 40 bit τα 32 εξ αυτών αποτελούν την λέξη συντονισμού ενώ το τελευταίο byte σχετίζεται με την φάση (την οποία στην συγκεκριμένη μελέτη αφήνω πάντα σταθερή) καθώς και με σήματα ελέγχου όπως η ρύθμιση του εσωτερικού πολλαπλασιαστή και την ρύθμιση πυροδότησης αναφορικά με την αρνητική η θετική ακμή παλμού του ic .

Table I. 8-Bit Parallel-Load Data/Control Word Functional Assignment

Word	Data[7]	Data[6]	Data[5]	Data[4]	Data[3]	Data[2]	Data[1]	Data[0]
R1 → W0	Phase-b4 (MSB)	Phase-b3	Phase-b2	Phase-b1	Phase-b0 (LSB)	Power-Down	Logic 0*	6 × REFCLK Multiplier Enable
R5 → W1	Freq-b31 (MSB)	Freq-b30	Freq-b29	Freq-b28	Freq-b27	Freq-b26	Freq-b25	Freq-b24
R4 → W2	Freq-b23	Freq-b22	Freq-b21	Freq-b20	Freq-b19	Freq-b18	Freq-b17	Freq-b16
R3 → W3	Freq-b15	Freq-b14	Freq-b13	Freq-b12	Freq-b11	Freq-b10	Freq-b9	Freq-b8
R2 → W4	Freq-b7	Freq-b6	Freq-b5	Freq-b4	Freq-b3	Freq-b2	Freq-b1	Freq-b0 (LSB)

*This bit is always Logic 0 unless invoking the serial mode (see Figure 17). After serial mode is entered, this data bit must be set back to Logic 0 for proper operation.

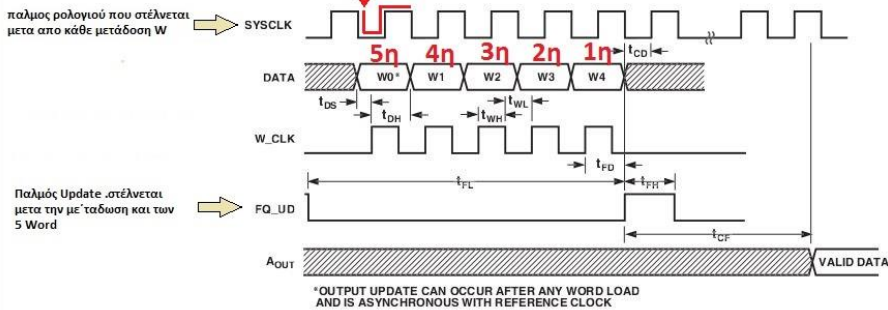
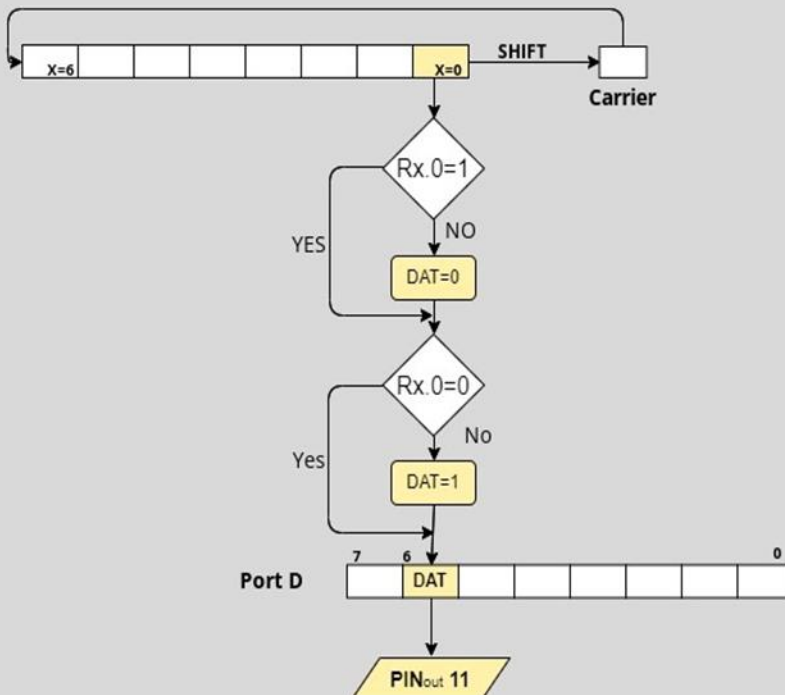


Figure 13. Parallel Load Frequency/Phase Update Timing Sequence

Note: To update W0 it is not necessary to load W1 through W4. Simply load W0 and assert FQ_UD. To update W1, reload W0 then W1—users do not have random access to programming words.

Τεχνική διαμόρφωσης λέξης προς αποστολή στην μονάδα DDS

R2.5 & R1



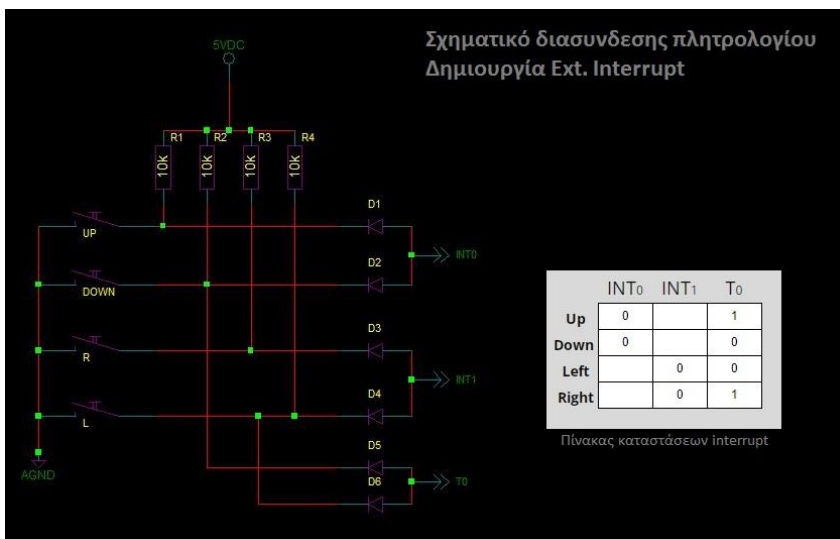
Για να επιτύχουμε την μεταφορά των δεδομένων από τους καταχωρητές R2 R3 R3 R5 και R1 εργαζόμαστε με τον εξής τρόπο. Παίρνουμε το bit που βρίσκεται στην θέση 0 και το μεταθέτουμε σε έναν καταχωρητή που έχουμε ονομάσει Dat. μόλις επιτευχθεί η μεταφορά κάνω rotate right (εντολή SHIFT right) και στους δυο καταχωρητές, και επαναλαμβάνω την διαδικασία 8 φορές (δομή επανάληψης με μετρητή 8) τέλος μετα την δομή επανάληψης κάνω rotate right τον

καταχωρητή Rx και με αυτόν τον τρόπο τα Bit που μετέφερα παίρνουν ξανά την αρχική

τους θέσει (αυτό γίνεται διότι χρησιμοποιώ για την εντολή SHIFT right ένα bit Carrier (κρατούμενου) . επίσης στον R1 έχω καταχωρίσει την ακολουθία bit οποία είναι πάντα σταθερή .

Τρόπος διασύνδεσης πληκτρολογίου , δημιουργία εξωτερικών διακοπών (ext. Interrupt)

Μετά την αρχικοποίηση των μονάδων Icd και DDS, την ρύθμιση του εσωτερικού ταλαντωτή καθ' υπόδειξη του κατασκευαστή , τον ορισμό τιμών συγκεκριμένων καταχωριστών την επιλογή κατάστασης ύπνου (idle mode) το πρόγραμμα ενεργοποιεί τον διακόπτη των διακοπών interrupt και 'πέφτει' για ύπνο με την εντολή SLEEP . από την κατάσταση αυτή δύναται να επανέλθει 'ξυπνήσει' όταν και εάν εντοπίσει αλλαγή στην λογική κατάσταση των pin που είναι ορισμένα από τον κατασκευαστή ως υπεύθυνα για τις εξωτερικές διακοπές (external interrupt) . Αυτό επιτυγχάνεται με χρήση τριών Pin INTO INT1 T0 .



Διαχείριση μνήμης & καταχωρητών . Χάρτης μνήμης

Λόγο του ότι η συγκεκριμένη εφαρμογή έχει ως προδιαγραφή για την υλοποίηση της , την χρήση Low RISC επεξεργαστή (Micro Controller Unit) του οποίου η μνήμη προγράμματος είναι ενσωματωμένη στο εσωτερικό του , άρα και συνήθως μικρού μεγέθους . Καθώς και το ότι η επελέγη για την υλοποίηση του προγραμματισμού της , γλώσσα προγραμματισμού χαμηλού επιπέδου , Η διασφάλισης της σωστής διαχείρισης μνήμης και των καταχωριστών του MCU καθίσταται επιτακτική και αναγκαία . για τον λόγο αυτό καταστρώθηκε χάρτης μνήμης ούτως ώστε να αποφευχθούν λάθη ή διπλή χρήση ιδίου καταχωρητή ή για παράδειγμα οι θέσεις μνήμης που διατίθενται για τα δεδομένα να συμπесουν με θέσεις μνήμης που διατίθενται για τον καταχωρητή - δείκτη στοίβας-σορού (stack pointer) . επιπλέον μέσα από τον χάρτη μνήμης εντοπίζεται και η προδιαγραφή που θέτει ο

κατασκευαστής στον εκάστοτε προγραμματιστή σχετικά με το διαθέσιμο προς χρήση χώρο μνήμης , ο οποίος ξεκινάει από την θέση 0060 και πάνω 00BF όπως και τις διαθέσιμες διευθύνσεις μνήμης που δεσμεύονται για χρήση από τον καταχωρητή σορού stack pointer . επίσης μέσα από τον χάρτη μνήμης μπορεί ο προγραμματιστής καθώς και ο αναγνώστης να παρακολουθήσουν την διαδρομή των δεδομένων από και προς τα περιφερειακά του MCU .

Παρακάτω δίνεται η διαδρομή σε βήματα καθώς και γραφική αναπαράσταση της μνήμης και των καταχωρητών μέσα από παράδειγμα .

Διαδρομή δεδομένων εισηγμένων από το Πληκτρολόγιο :

1. Εισάγω από Keypad 0060 – 0069 (Γαλάζιο)
2. Πολλαπλασιάζω με 23,860 και αποθηκεύω σε 0071 – 007 (Μπλε)
3. Πετάω το δεκαδικό μέρος και περνάω τα δεδομένα στα bit R6-R10 (Γκρι)
4. Περνάω τα δεδομένα σε R2-R5 bin freq Κίτρινο)
5. Μεταφέρω από Bin freq σε (Bin) freq as ASCII char (Γκρι σκούρο) Προς LCD

Διαδρομή δεδομένων εισηγμένων από UART:

1. Εισάγω τα δεδομένα που στέλνει USART σε R11-R14 (καφέ)
2. Αντιγράφω σε R2-R5 (καφέ)
3. Μεταφέρω σε R2-R5 (κίτρινο) έτοιμα για αποστολή σε DDS μέσω PortB
4. Μετατρέπω Bin 2 BCD και μεταφέρω σε (γαλάζιο)
5. Πολλαπλασιάζω με *00,41και μεταφέρω σε 0071-007F (μπλε)
6. Μετατρέπω σε ASCII και μεταφέρω σε R6-R13 (Γκρι) Έτοιμα για απεικόνιση σε LCD

BCD2Bin ([0071:007A]) -> R_{2:5}
 Bin2BCD (R_{2:5}) -> R_{6:10} -> [0060:0069]
 Mul ([0060:0069], W) -> [0071:007A, 007B:007F]
 Hex (R_{2:5}) -> R_{6:12}
 RedDraw ([0061:0069], R_{6:12}) -> LCD module
 Send (R_{2:5} & R₁) -> AD9851 module
 USART_RECEIVE_COMPLETE -> R_{11:14} -> R_{2:5}
 USART: \$ xx xx xx xx \$0D \$0A - xx is 00 to FF as ASCII (capital)
 1000 Hz = \$00005d34 + \$0D + \$0A

Registers

R0	R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	R12	R13	R14	R15
Zero	Ctrl	(Bin) Freq				Copy of (2 * R _{2:5})		Packed BCD		(Bin) Freq as ASCII char for LCD		Offs			
R16	R17	R18	R19	R20	R21	R22	R23	R24	R25	R26	R27	R28	R29	R30	R31
				PPtr	TXCnt	State	Tmp	Fmul / Bmul addr		X		Y		Z	

BCD2Bin
 Bin2BCD
 Hex

Data Memory

0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
				(BCD) Freq											
006x	BCD (10 digit Integer part)														
007x	Partial copy of [0060:0069]														
008x															
009x															
00Ax															
00Bx															
00Cx															
00Dx	Stack														

ΚΕΦΑΛΑΙΟ 5^ο ΜΕΤΑΓΛΩΤΙΣΤΗΣ

ALGORITHM BUILDER

Γενικά

Τα πιο συχνά χρησιμοποιούμενα εργαλεία προγραμματισμού για μικροελεγκτές AVR είναι ένας compiler γλώσσας C ή programmer assembly γλώσσας (assembler). Κάθε προσέγγιση έχει σχετικά πλεονεκτήματα και ταυτόχρονα περιορισμούς. Τα προγράμματα γλώσσας Assembly παράγουν συνήθως μικρότερο μέγεθος κώδικα αλλά υπάρχει ένα γενικό κόστος που σχετίζεται με τον προγραμματισμό στη γλώσσα Assembly. Θέματα που σχετίζονται με τον προγραμματισμό σε Assembly είναι οι μη οπτικές καταχωρίσεις και περιττές λεπτομέρειες. Επομένως, το λογισμικό σε γλώσσα assembly είναι χρονοβόρο ως προς την ανάπτυξη του. Οι προγραμματιστές απαιτούν πιο αποτελεσματικά εργαλεία. Έτσι η γλώσσα C για τον μικροελεγκτή AVR 8-bit κερδίζει δημοτικότητα λόγω της διατήρησης της συντηρησιμότητας του κώδικα, την φορητότητα και ταχύτητα προγραμματισμού του. Όταν χρησιμοποιείται η γλώσσα C, ο προγραμματιστής έχει οπτική αντίληψη του κώδικα και έτσι αυτός απελευθερώνεται από περιττές λεπτομέρειες. Αυτό επιταχύνει την ανάπτυξη του κώδικα αισθητά. Βέβαια ταυτόχρονα, αυτό αποτελεί και ένα βασικό μειονέκτημα που συνδέεται με τον προγραμματισμό σε γλώσσα C και το μειονέκτημα αυτό δεν είναι άλλο από έναν λιγότερο αποδοτικό κώδικα. Την λύση σε αυτό το μειονέκτημα έρχεται να δώσει ο assembly programmer με το όνομα Algorithm Builder. Το εργαλείο ανάπτυξης αλγορίθμων Algorithm Builder μπορεί να κατηγοριοποιηθεί μεταξύ του Assembler και του C compiler. Ο κώδικας εξακολουθεί να είναι γραμμένος σε Assembly, αλλά η βελτίωση της διεπαφής, μέσω γραφικού περιβάλλοντος ανάπτυξης κώδικα, που χρησιμοποιείται μπορεί να μειώσει τον χρόνο ανάπτυξης του κώδικα μέχρι και 3-5 x, καθώς και το μέγεθος του 2-3 x. Αυτός ο τρόπος οπτικού προγραμματισμού, παρέχει τα οφέλη και των δύο προσεγγίσεων. Ο χρόνος ανάπτυξης είναι παρόμοιος με αυτόν της γλώσσας προγραμματισμού C ενώ η πυκνότητα του κώδικα βελτιώνεται. Αυτό είναι αποτέλεσμα της οπτικοποιημένης μορφής της διεπαφής που χρησιμοποιείται για την ανάπτυξη του κώδικα, η οποία επιτρέπει τη χρήση διαγραμμάτων ροής και διακλαδώσεις δομών που μοιάζουν με δέντρα (δενδροειδη διαγράμματα).

Σημειογραφία Algorithm Builder

Επιπλέον η φόρμα της σημειογραφίας που χρησιμοποιεί η κάθε εντολή του συνόλου των εντολών, απλοποιήθηκε και η μνημονική της εκάστοτε εντολής άλλαξε σε οπτική σημειογραφία:

in place of:	use's:
MOV R0,R1	R1 -> R0
LDI R20,\$5E	\$5E -> r20
ADD R0,R1	R0 + R1
ANDI R20,25	R20 & 25
SBIW X,15	X + 15
LSR R7	R7 >>
SBI PortB,3	1 -> PortB.3

Το μεγάλο σετ εντολών, όπως MOV, LD, LDI, LDD, ST, STD, IN, OUT, CBI, SBI κ.λπ., αλλάζει σε μία μόνο οπτική σημειογραφία : “ -> “. Η χρήση αυτής της οπτικής σημειογραφίας είναι πιο βολική από τη μνημονική σημειογραφία κάνοντας το θέμα χειρισμού του προγράμματος εύκολο, ενώ ταυτόχρονα το κυρίως μέρος του assembler ‘Algorithm builder’ είναι μια γραφική διεπαφή ανάπτυξης κώδικα . Το κύριο πρόβλημα του κλασικού assembler είναι οι περιορισμοί του επεξεργαστή κειμένου. Το γραμμένο πρόγραμμα είναι ανεπτυγμένο ως συνεχής κάθετη γραμμή. Η λογική δομή του προγράμματος είναι κρυμμένη και μπορεί να κατασκευαστεί μόνο στη φαντασία ενός προγραμματιστή ή σε ένα χαρτί.

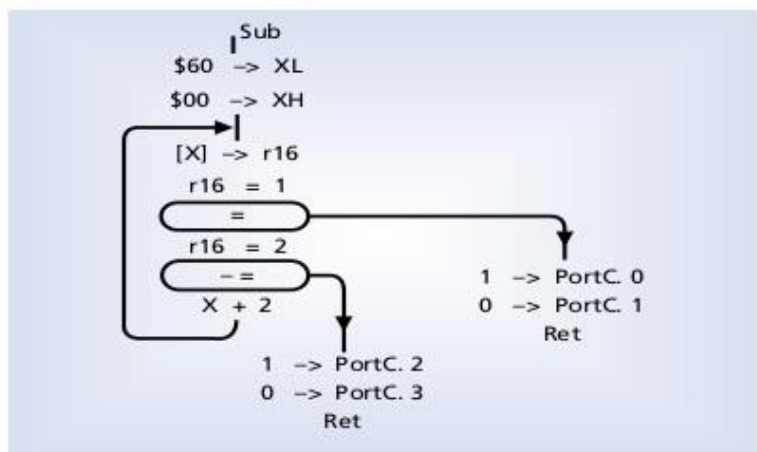
Μορφολογία κωδικα στον Algorithm Builder

Οποιοδήποτε λογισμικό μπορεί να χωριστεί σε πολλά λογικά ολοκληρωμένα τμήματα. Συνήθως, η τελική εκτέλεση αυτών Μπλόκ είναι ένας άνευ όρων βρόγχος ή μια επιστροφή υποπρογράμματος, δηλαδή οι τελεστές, μετά την εκτέλεση του γραμμικού προγράμματος τερματίζονται αναμφίβολα. Υπάρχουν υπορουτίνες επιστροφής (“RET”, “RETI”) και άνευ όρων κλάδοι. Ακολουθεί παράδειγμα υποπρογράμματος που περιέχει τρία τέτοια μπλοκ:

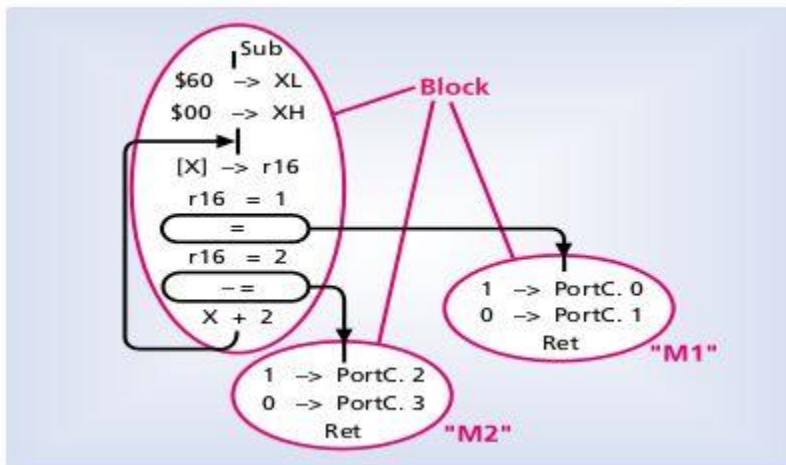
```

Sub:  ldi  XL,$60
      ldi  XH,$00
M0:   ld   r16,X
      cpi  r16,1
      breq M1
      cpi  r16,2
      brne M2
      sbiw X,2
      rjmp M0
M1:   sbi  PortC,0
      cbi  PortC,1
      ret
M2:   sbi  PortC,2
      cbi  PortC,3
      ret

```



Το πρώτο μπλοκ ξεκινά από την ετικέτα "Sub" και τερματίζεται με άνευ όρων βρόγχο ("rjmp"). Το δεύτερο και το τρίτο μπλοκ ξεκινούν από τις ετικέτες "M1" και "M2" και τελειώνουν στους τελεστές επιστροφής υπορουτίνας ("ret").



Το "Algorithm Builder" επιτρέπει οπτικό διαχωρισμό αυτών των μπλοκ και τα τοποθετεί σε ένα επίπεδο. Ως αποτέλεσμα, η λογική δομή του προγράμματος γίνεται οπτική.

Βασικά δομικά στοιχεία Label vertex field και non-conditional Branch

Το παραπάνω παράδειγμα υπορουτίνας εξετάζεται με τον ακόλουθο τρόπο στον AB: Πέντε βασικά στοιχεία χρησιμοποιούνται στο Algorithm Builder για την διαδικασία της ανάπτυξης ενός προγράμματος, και είναι:

- LABEL-ΕΤΙΚΕΤΑ,
- VERTEX-
- FIELD-ΠΕΔΙΟ,
- CONDITIONAL BRANCH - ΚΛΑΔΟΣ ΥΠΟ ΣΥΝΘΗΚΗ
- Non-CONDITIONAL BRANCH- ΚΛΑΔΟΣ ΑΝΕΦ ΣΥΝΘΗΚΗΣ

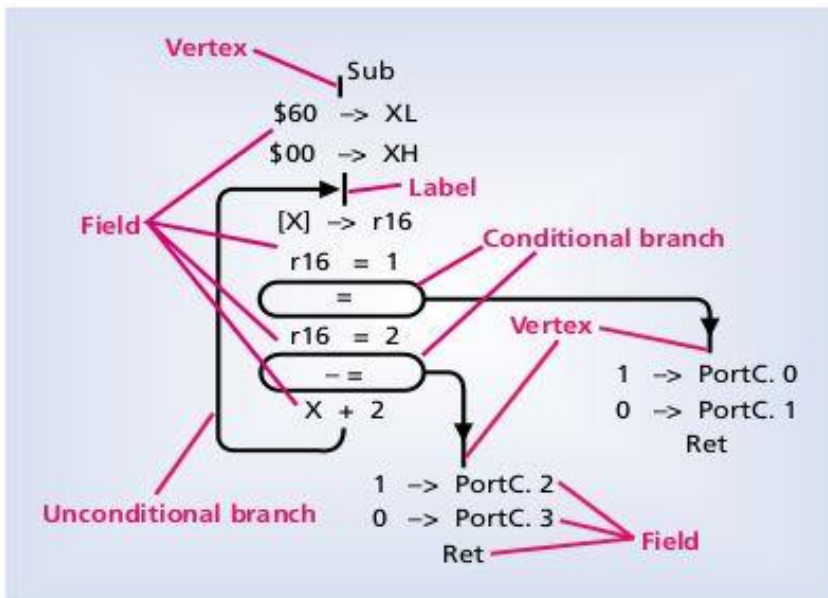
Το στοιχείο "LABEL" αναπαρίσταται ως μια μικρή κάθετη γραμμή στο μπλοκ. Η ετικέτα μπορεί να έχει, προαιρετικά, ένα όνομα στην αριστερή ή τη δεξιά πλευρά της γραμμής. Ο σκοπός της ετικέτας είναι σαν το σκοπό της ετικέτας σε έναν κλασικό πρόγραμμα ανάπτυξης assembly. Είναι σήμανση θέσεων στο πρόγραμμα για τους κλάδους.

Ο σκοπός του στοιχείου "VERTEX" είναι παρόμοιος με το "LABEL", αλλά το "VERTEX" ξεκινάει πάντα την αρχή ενός μπλοκ και καθορίζει τον γεωμετρικό του τόπο.

Το στοιχείο "FIELD" χρησιμοποιείται συχνότερα. Αντιπροσωπεύεται από τη συμβολοσειρά στο κέντρο του μπλοκ. Το "FIELD" χρησιμοποιείται για την γραφή των περισσότερων εντολών του μικροελεγκτή εκτός από τους κλάδους.

Το στοιχείο του CONDITIONAL BRANCH είναι ένα οβάλ σχήμα με εισαγόμενη συνθήκη κλάδου και ένα διάνυσμα ως εξερχόμενη γραμμή με ένα βέλος στο τέλος. Το τέλος της γραμμής θα πρέπει να τελειώνει στο LABEL ή στο VERTEX στο οποίο θα πραγματοποιηθεί η διακλάδωση όταν εκπληρωθεί η εισαγόμενη συνθήκη.

Το στοιχείο του UNCONDITIONAL BRANCH είναι μια εξερχόμενη , από τη γραμμή άξονα του μπλοκ , γραμμή με ένα βέλος στο τέλος . Παρόμοιο με το διάνυσμα CONDITIONALBRANCH.

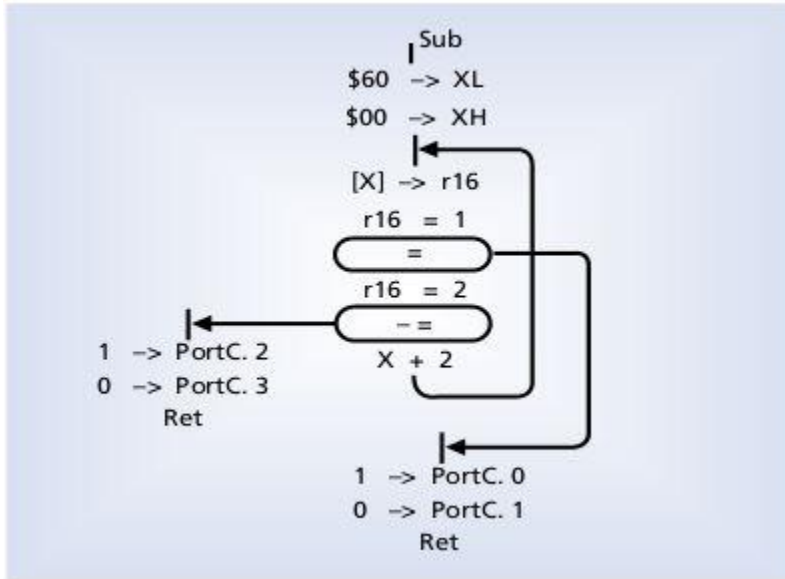


Σημειώστε ότι το παράδειγμα αλγορίθμου στον AB περιέχει μόνο ένα όνομα ετικέτας: "Sub" και τα ονόματα "M0", "M1" και "M2" απουσιάζουν. Στον κλασικό assembler η διευθυνσιοδότηση των κλάδων πραγματοποιείται με τα ονόματα των ετικετών. Η χρήση πολλαπλών κλάδων και ονομάτων ετικετών οδηγεί σε μια λίστα γεμάτη με τεράστιο αριθμό ονομάτων ετικετών που είναι αναπόφευκτα αναγκαία.

Απεικόνιση κλάδων

Στον Algorithm Builder οι κλάδοι ορίζονται γραφικά με διανύσματα. Επομένως, η αναγκαιότητα των ονομάτων των ετικετών απουσιάζει. Αυτό εξαλείφει μόνο τα ονόματα των οντοτήτων υπορουτίνας. Στο παραπάνω παράδειγμα είναι ένα "Sub".

Ο επεξεργαστής επιτρέπει την αυθαίρετη τοποθέτηση των μπλοκ του προγράμματος σε ένα επίπεδο σύμφωνα με την επιθυμία του προγραμματιστή. Για παράδειγμα, η παραπάνω υπορουτίνα μπορεί να επανασχεδιαστεί ως εξής:



Το περιβάλλον του AB είναι πλήρως επαρκές. Περιέχει τον επεξεργαστή, τον μεταγλωττιστή, τον προσομοιωτή (debugger) και τον εντός κυκλώματος, σειριακό προγραμματιστή. Δηλ. αυτό το εργαλείο καλύπτει ολόκληρο τον κύκλο σχεδιασμού, συμπεριλαμβανομένου του προγραμματισμού ενός τσιπ. Οι δυνατότητες του προσομοιωτή είναι παρόμοιες με το AVR Studio .

Γραφικό περιβάλλον Algorithm builder και ανάλυση της δομής προγράμματος

Παρακάτω παρουσιάζεται περιληπτικά το γραφικό περιβάλλον ανάπτυξης του αλγορίθμου , καθώς και η δομή του προγράμματος .

Παρατηρούμε ότι τα βασικά στοιχεία TEXT VERTEX FIELD LABEL CONDITIONAL JMP κλπ εκτός από την δυνατότητα συντόμευσης μέσω πληκτρολογίου Alt+ T ,Alt+V κλπ υπάρχουν και ως γραφικά button . παράλληλα δίνονται 4 επιλογές στον προγραμματιστή για την μεταγλώττιση εξ-σφαλμάτωση και προσομοίωση του προγράμματος με την συμμετοχή ή όχι του chip .

Algorithm Builder for AVR 5.44 - C:\Users\Yio\Docum

File Edit View Search Elements Program Options ?

NON CONDITIONAL JUMP SETTER SIMULATOR RUN RUN ON-CHIP DEBUG RUN WITH CHIP

Init DDS USART LCD IRq

Include: LCD
 Include: DDS
 Include: USART
 Include: IRq

ORGANΩΣΗ ΥΠΟ/ΤΩΝ ΣΕ ΚΑΡΤΕΛΕΣ
 ΔΗΛΩΣΗ ΥΠΟΠΡΟΓΡΑΜΜΑΤΩΝ

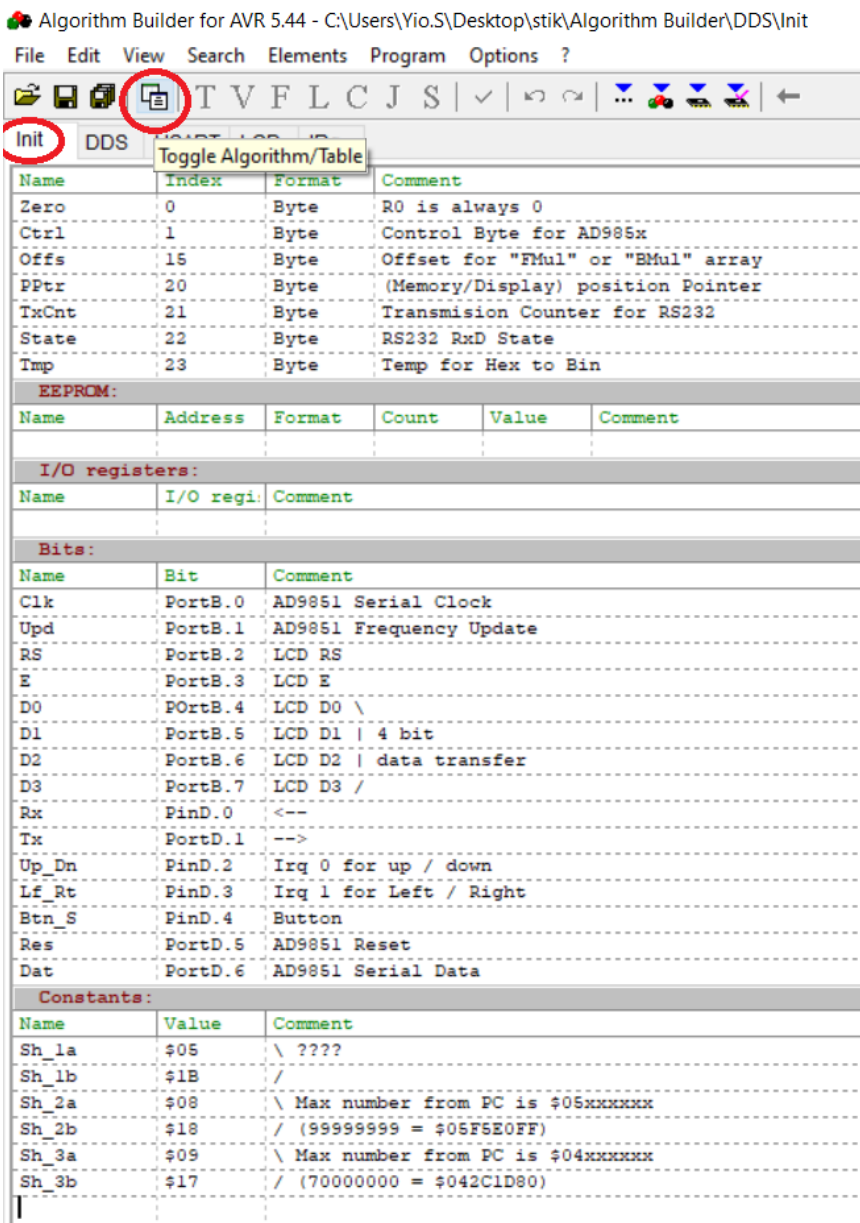
```

Reset
$58 -> OscCal
SP
$2A -> MCUCR Idle
$FF -> DDRB Port = Out

FMul
0, 0, 0, 0, 0, 0, 0, 0
9, 0, 6, 8, 3, 2, 0, 0
8, 1, 2, 7, 7, 4, 0, 0
7, 2, 8, 5, 1, 7, 0, 0

```

Επιπλέον ο Algorithm builder δίνει την δυνατότητα στον προγραμματιστή να ονομάσει κατά την αρεσκεία του, τους καταχωρητές, όπως και τα bit του MCU καθώς και τι σταθερές προκειμένου να μπορεί να ξεχωρίσει, κατά την διάρκεια εκτέλεσης, την εργασία που έχει αναθέσει στον κάθε καταχωρητή. Μέσω της επιλογής Toggle algorithm / Table αποκτώ πρόσβαση τον πίνακα αυτό ο οποίος είναι ξεχωριστός για κάθε καρτέλα – υποπρόγραμμα. (Στο συγκεκριμένο πρόγραμμα μόνο η καρτέλα που περιέχει το κυρίως πρόγραμμα και τις αρχικοποιήσεις είναι αυτή που έχει πίνακα με τα προαναφερθέντα).



Για παράδειγμα μπορεί άμεσα ακόμα και ο απλός αναγνώστης να αντιληφθεί ότι από την Port B τα Pins 4-5-6-7 χρησιμοποιούνται για να συνθέσουμε την 4bit είσοδο data (nibble) που δέχεται το lcd module.

Εν συνεχεία από-επιλέγοντας το button toggle algorithm /table . προηγούμεστε στις καρτέλες στις οποίες είναι οργανωμένη η ανάπτυξη του προγράμματος . ξεκινώντας από την καρτέλα Init (initialize) .

Κώδικας Αρχικοποίησης MCU

Το πρόγραμμα ξεκινάει κάνοντας τις απαραίτητες αρχικοποιήσεις είτε αυτές αφορούν τον μικροελεγκτή είτε τις περιφερειακές μονάδες αυτού .

Algorithm Builder for AVR 5.44 - C:\Users\Yio.S\Desktop\stik\Algorithm Builder\DDS\Init

File Edit View Search Elements Program Options ?

Init DDS USART LCD IRq

Include: LCD
 Include: DDS **ΡΥΘΜΙΣΗ ΕΣΩΤ. ΤΑΛΑΝΤΩΤΗ RC**
 Include: USART **ΡΥΘΜΙΣΗ ΚΑΤΑΧΩΡΗΤΩΝ ΕΡΓΑΣΙΑΣ ΣΧΕΤΙΖΟΜΕΝΟΙ ΜΕ ΤΗΝ USART (SETTER)**
 Include: IRq

```

Reset | Fmul
$58 -> OscCal      0, 0, 0, 0, 0, 0, 0, 0
SP          9, 0, 6, 8, 3, 2, 0, 0
$2A -> MCUCR      sleep
$FF -> DDRB      Port B is output
$30 -> PortB      8, 1, 2, 7, 7, 4, 0, 0
$62 -> DDRD      7, 2, 8, 5, 1, 7, 0, 0
$1F -> PortD      7, 3, 4, 4, 5, 9, 0, 0
$00 -> R27      X(h) = $00
$00 -> R29      Y(h) = $00
R29 -> Zero      6, 4, 0, 3, 9, 1, 1, 0
$00 -> TrnCnt    5, 5, 6, 1, 3, 4, 1, 0
$00 -> State     5, 6, 2, 0, 7, 6, 1, 0
$01 -> Ctrl      4, 7, 8, 8, 0, 9, 1, 0
LCD_Init     3, 8, 4, 7, 4, 1, 2, 0
DDS_Init     0, 0, 0, 0, 0, 0, 0, 0
$00 -> R16      5, 9, 0, 9, 1, 4, 0, 0
$0A -> R17      0, 9, 1, 8, 3, 8, 0, 0
$60 -> R28      Y = $0060
              5, 8, 2, 7, 5, 2, 1, 0
              0, 8, 3, 6, 7, 6, 1, 0
              5, 7, 4, 5, 9, 0, 2, 0
              0, 7, 5, 4, 1, 5, 2, 0
              6, 6, 6, 3, 3, 9, 2, 0
              1, 6, 7, 2, 5, 3, 3, 0
              6, 5, 8, 1, 7, 7, 9, 0
R16 -> [Y++]
R17 --
--
USART       Pos
$C0 -> R16      $00, $84, $85, $87
R16 -> EIFR     $88, $89, $8B, $8C
R16 -> GIMSK    $8D, $8F
1 -> I         Msg
              "F = 00'000'000,0"
Sleep       Enable General Interrupt Switch
            ΒΡΟΓΧΟΣ " ΥΠΝΟΥ "
  
```

ΠΙΝΑΚΕΣ ΕΤΟΙΜΩΝ ΑΠΟΤΕΛΕΣΜΑΤΩΝ ΠΟΛΛΑΠΛΑΣΙΑΣΜΟΥ

ΠΙΝΑΚΑΣ ΤΙΜΩΝ ΓΙΑ ΑΡΧΙΚΟΠΟΙΗΣΗ & ΑΠΕΙΚΟΝΙΣΗ ΣΕ LCD

ΑΡΧΙΚΟ ΜΥΝΗΜΑ LCD

ΑΡΧΙΚΟΠ/ΣΗ ΚΑΤΑΧΩΡΗΤΩΝ ΣΥΓΚΕΚΡΙΜΕΝΗΣ ΕΡΓΑΣΙΑΣ

ΑΡΧΙΚΟΠΟΙΗΣΗ LCD

ΑΡΧΙΚΟΠΟΙΗΣΗ DDS

ΡΥΘΜΙΣΗ ΚΑΤΑΧΩΡΗΤΩΝ ΕΡΓΑΣΙΑΣ ΣΧΕΤΙΖΟΜΕΝΟΙ ΜΕ ΤΗΝ USART (SETTER)

FLAG EXT. INTERRUPT FALLING EDGE ENABLE

ENABLE GENERAL INTERRUPT SWITCH

ΒΡΟΓΧΟΣ " ΥΠΝΟΥ "

Αρχικοποίηση εσωτερικού ταλαντωτή , ορισμός port ως εισόδων εξόδων , αρχική τιμή σε συγκεκριμένους καταχωρητές ελέγχου που χρησιμοποιούνται σε επιμέρους λειτουργικές in-chip μονάδες (μέσω του SETTER) , ορισμός του είδους του «ύπνου» που επιθυμούμε να εισέλθει η συσκευή (idle) μετά την εκτέλεση των αρχικοποιήσεων αρχικοποίηση της μονάδας απεικόνισης ICD καθώς και του DDS module σύμφωνα με τις οδηγίες των κατασκευαστών τους . επιπλέον ρυθμίζουμε κατάλληλα τους καταχωρητές που σχετίζονται

είναι ότι η Mealy Machine τοποθετεί την παραγωγή/ εκτέλεση του κώδικα στη μετάβαση. Τέλος μόλις εκτελεστεί και το stage 08 στην επόμενη κατάσταση το πρόγραμμα προσαυξάνει κατά 1 αύξων αριθμό το stage για να μεταβεί στην κατάσταση stage 0A , όπου και στην συνέχεια το πρόγραμμα συνεχίζει σε άλλο τμήμα του κώδικα προκειμένου να πολλαπλασιάσει με τον κατάλληλο αριθμό να στείλει στο dds και να αποτυπώσει στην οθόνη Στην συνέχεια όταν ολοκληρωθεί η αποστολή των δεδομένων με επιτυχία το πρόγραμμα στέλνει πίσω στον uart ελεγκτή απάντηση ότι η μετάδοση ολοκληρώθηκε επιτυχώς , αυτό επιτυγχάνεται μέσω του σημείου του κώδικα που ονοματίζεται ως USART_transmit_complete.

Κώδικας Αρχικοποίησης σχεδίασης και επανασχεδίασης LCD , μακροεντολές Delay

Στην τέταρτη καρτέλα είναι γραμμένα τα κομμάτια του κώδικα που σχετίζονται κυρίως με την οθόνη . Αυτά τα κομμάτια είναι η αρχικοποίηση της μονάδας απεικόνισης δυο μακροεντολές delay μια για m sec καθώς και u sec όπως και τα τμήματα του κώδικα που σχετίζονται με την διαμόρφωση της απεικόνισης καθώς και τον επανασχεδιασμό αυτής , όταν τα δεδομένα εισόδου αλλάζουν . Τέλος μαζί με αυτά είναι και το τμήμα που σκοπό του έχει την μετατροπή από bin2 HEX (ASCII) . Τέλος τα βέλη δείχνουν την σειρά με την οποία τρέχει το πρόγραμμα μεταβαίνοντας από τμήμα σε τμήμα .

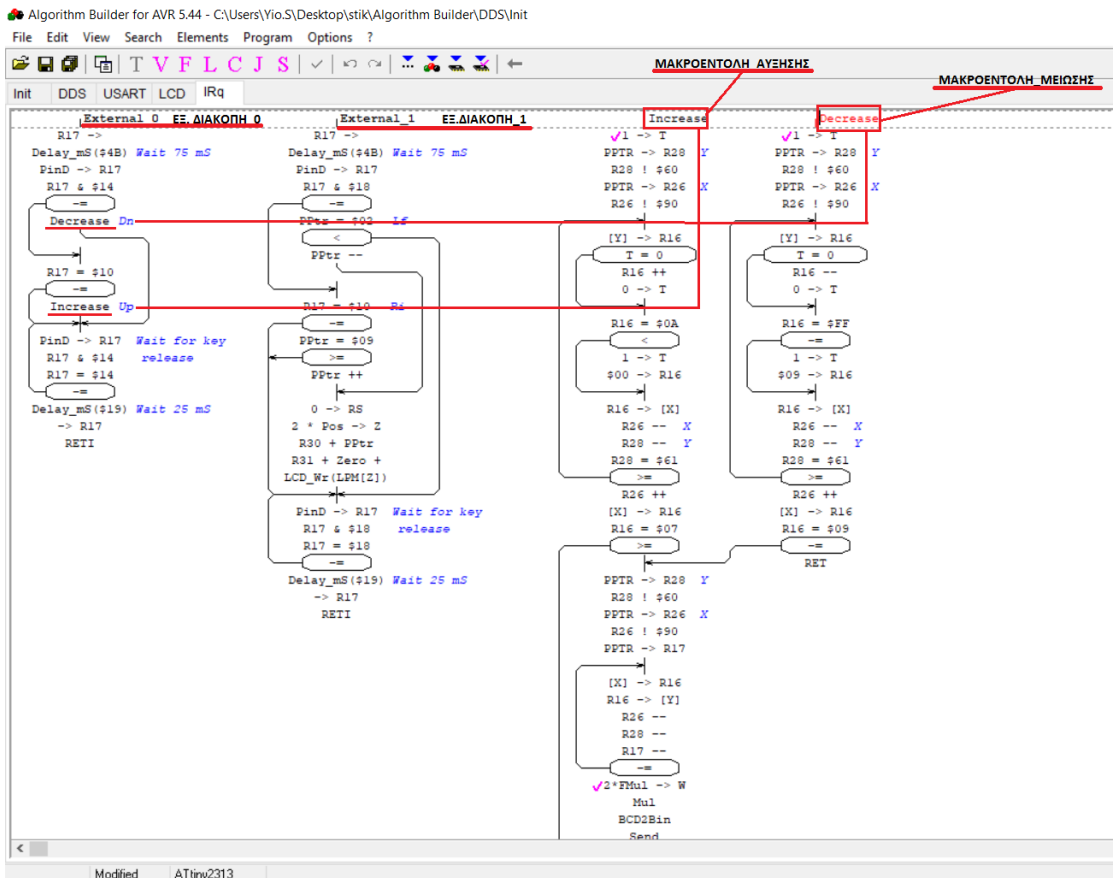
The screenshot displays the AVR Algorithm Builder interface for the 'DDS' project. The main window shows assembly code for the 'LCD' module. The code is organized into several sections:

- APXIKOΠOIHΣH LCD:** Contains initialization routines for the LCD interface, including delay functions like `Delay_ms(250)`, `Delay_ms(100)`, `Delay_us(900)`, `Delay_us(200)`, `Delay_us(20)`, and `Delay_us(250)`.
- DELAY_milli_SEC:** A sub-routine for millisecond delays, implemented as a loop that decrements a register (R17) until it reaches zero.
- DELAY_ultra_SEC:** A sub-routine for microsecond delays, implemented as a loop that decrements a register (R19) until it reaches zero.
- Main LCD Routine:** Contains the core logic for sending data to the LCD, including setting the display mode (`LCD_Wr($02)`), clearing the display (`LCD_Wr($04)`), and writing characters to the display (`LCD_Wr($08)`).

Red boxes and arrows highlight the flow of execution between these sections, showing how the main routine calls the delay sub-routines and how the delay sub-routines are implemented using loops.

Κώδικας εξωτερικών interrupt αυξομείωσης τιμής και μεταβολής θέσης

Τέλος στην 5^η κατά σειρά καρτέλα είναι γραμμένο το κομμάτι του κώδικα που σχετίζεται με τις εξωτερικές διακοπές λόγω πληκτρολογίου . Οι διακοπές αυτές μόλις ενεργοποιηθούν ξυπνάνε τον επεξεργαστή από τον « ύπνο » προκειμένου να τρέξει όλες τις απαραίτητες διαδικασίες μετατροπής απεικόνισης και αποστολής στο dds .



Τα είδη αυτών των διακοπών είναι δύο , ένα που ενεργοποιείται για την αυξομείωση του αριθμού καθώς και αυτό που σχετίζεται με την αλλαγή θέσης του κέρσορα .

Προγραμματισμός Atiny1323

Ο προγραμματισμός του μικροελεγκτή έγινε με την βοήθεια του Programmer XGecu T56 , ο οποίος είναι ένας υψηλής απόδοσης προγραμματιστής ολοκληρωμένων κυκλωμάτων (ICs), κατάλληλος για επαγγελματίες και χομπίστες στον τομέα της ηλεκτρονικής. Υποστηρίζει μια ευρεία γκάμα συσκευών, όπως μνήμες EEPROM, Flash, και μικροελεγκτές, ενώ προσφέρει εύκολη και αξιόπιστη λειτουργία μέσω USB σύνδεσης με υπολογιστή.

Τεχνικές Δυνατότητες και Χρήση

Ο XGecu T56 προσφέρει εξαιρετικές τεχνικές δυνατότητες, όπως ταχύτατο προγραμματισμό και επαλήθευση δεδομένων, με υποστήριξη για πάνω από 60.000 διαφορετικά ICs. Μια συγκεκριμένη εφαρμογή του είναι ο προγραμματισμός μικροελεγκτών AVR, όπως ο ATtiny13/23. Χάρη στη συμβατότητά του με αυτά τα chips, ο XGecu T56 επιτρέπει την εύκολη φόρτωση firmware και την προσαρμογή των λειτουργιών τους σε έργα αυτοματισμού ή ενσωματωμένων συστημάτων.

ΚΕΦΆΛΑΙΟ 6^ο ΤΥΠΩΜΕΝΟ

ΚΥΚΛΩΜΑ ΚΑΙ ΤΕΛΙΚΗ ΜΟΡΦΗ ΦΥΣΙΚΗΣ ΚΑΤΑΣΚΕΥΗΣ

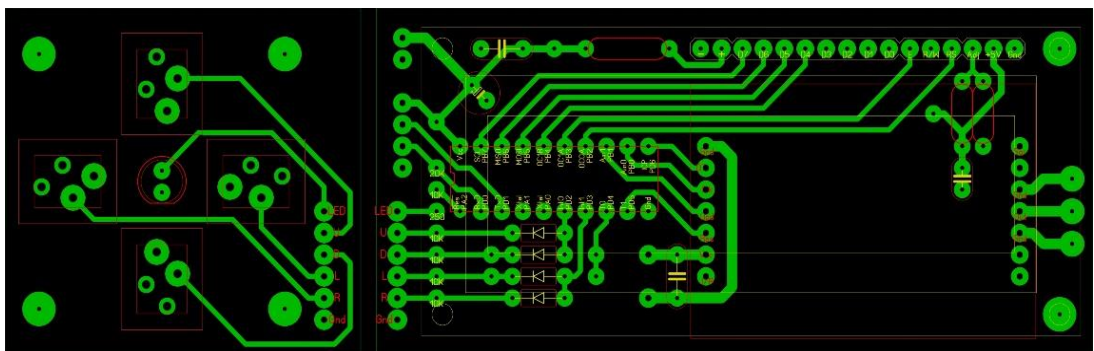
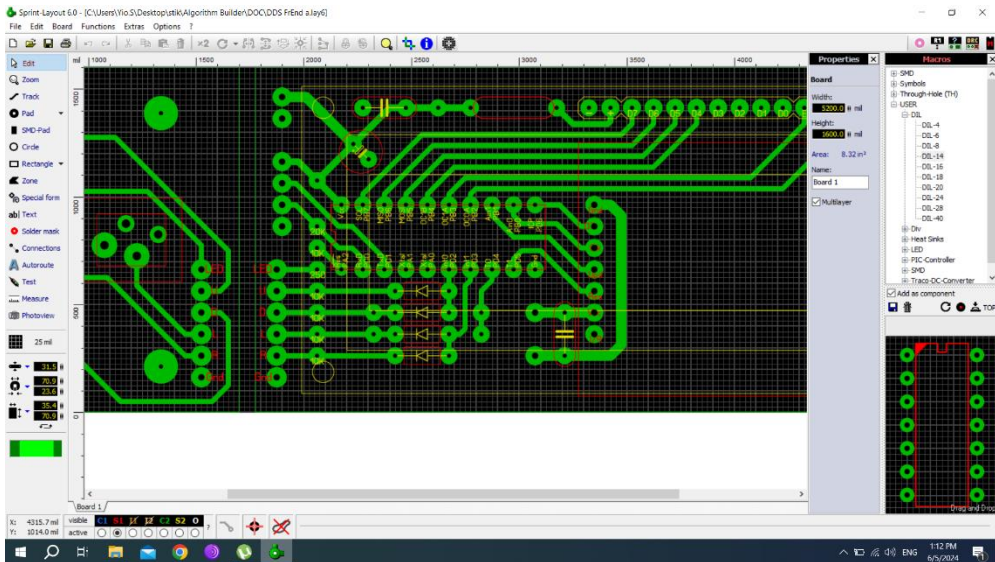
Σχεδίαση Τυπωμένου κυκλώματος

Για την υλοποίηση της πλακέτας τυπωμένου κυκλώματος την συγκεκριμένης κατασκευής χρησιμοποιήθηκε το πρόγραμμα Sprint layout 6.0 Το Sprint Layout 6.0 Sprint-Layout είναι ένα λογισμικό εύκολης και γρήγορης σχεδίασης πλακέτας τυπωμένου κυκλώματος PCB. Η λογική και κατανοητή δομή του Sprint-Layout είναι πολύ εύκολη στην εκμάθηση . Παράλληλα το χαμηλό κόστος αγοράς του (60 ευρώ) το κάνει ιδιαίτερα ελκυστικό .. Οι εμπορικοί κατασκευαστές PCB συχνά υποστηρίζουν μορφή αρχείου Sprint-Layout ή μορφές αρχείων Gerber/Excellon. Το Sprint-Layout δημιουργεί ακόμη και αρχεία HPGL για isolation mealling για ιδιοκτήτες φρέζας CNC.

Δυνατότητες

Εκτεταμένη βιβλιοθήκη εξαρτημάτων διαφόρων συσκευασιών

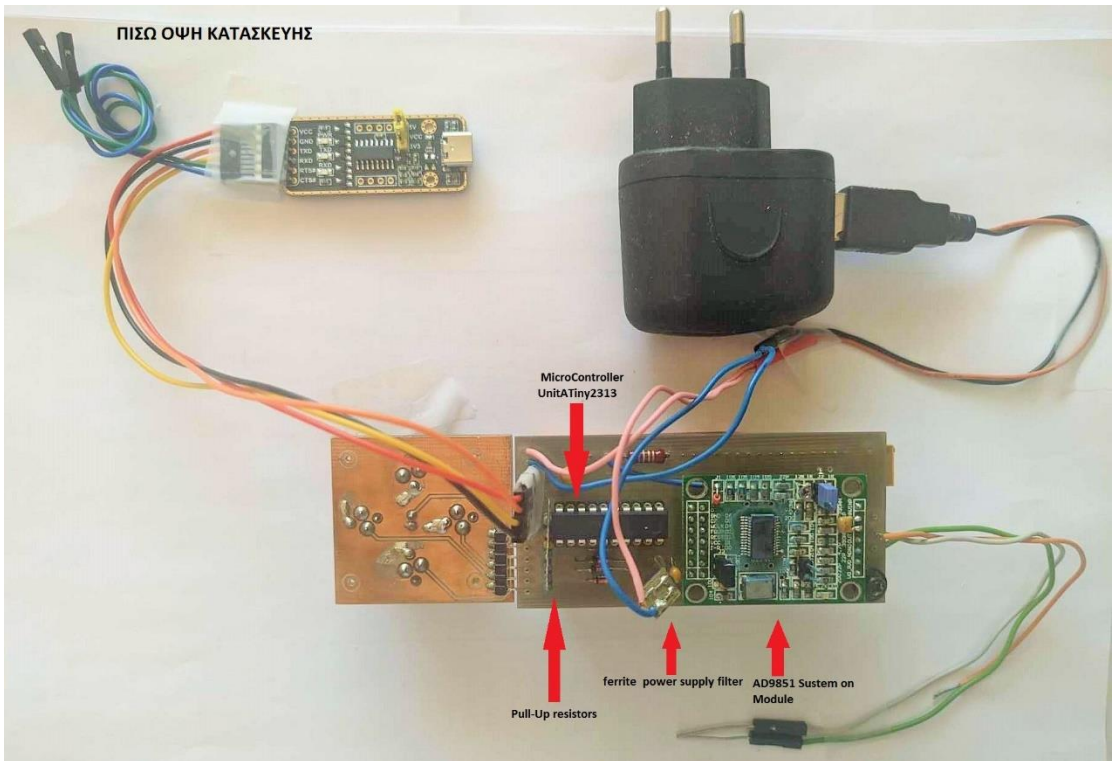
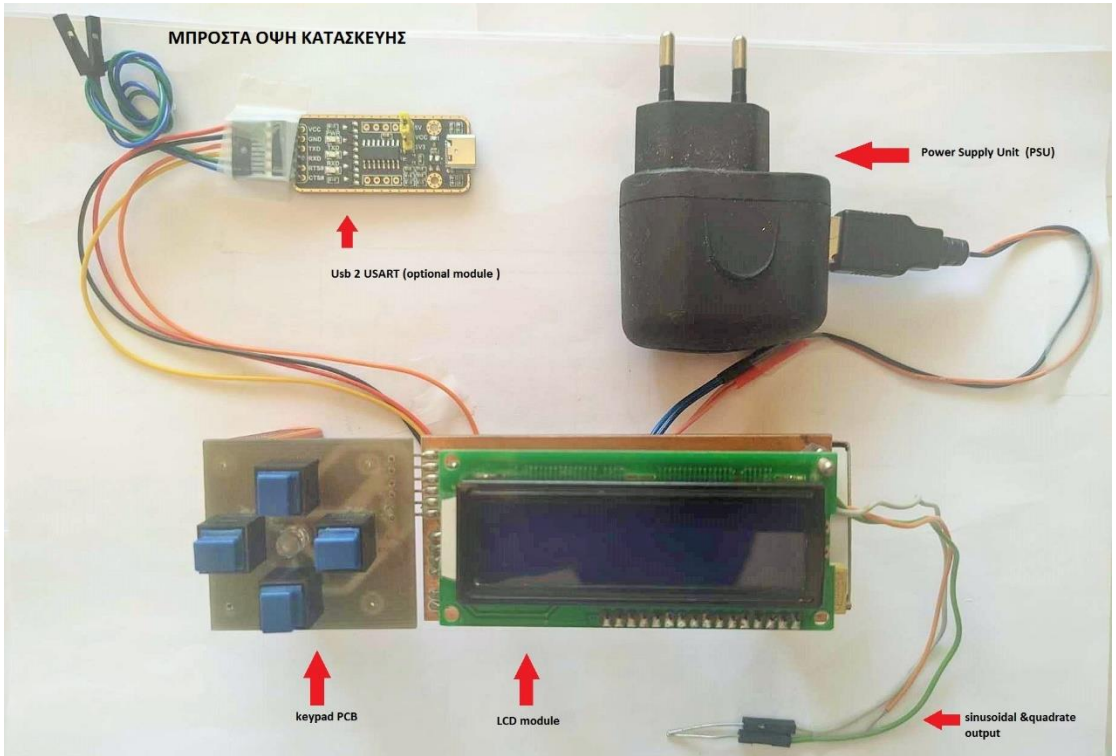
- Πολυστρωματική σχεδίαση (μεχρι 4 στρώσεις)
- Εισαγωγή Σαρωμένων αντίγραφων
- Εισαγωγή και εξαγωγή αρχείων Gerber
- Εξαγωγή αρχείου Pick+Place
- HPGL για isolation mealling κατασκευή πλακέτας
- Σχεδιασμός –Έλεγχος βραχυκυκλώματος καλωδίωσης
- Αυτόματος δρομολογητής καλωδίωσης από σημείο σε σημείο
- Εύκολη σχεδίαση αποτυπώματος εξαρτημάτων



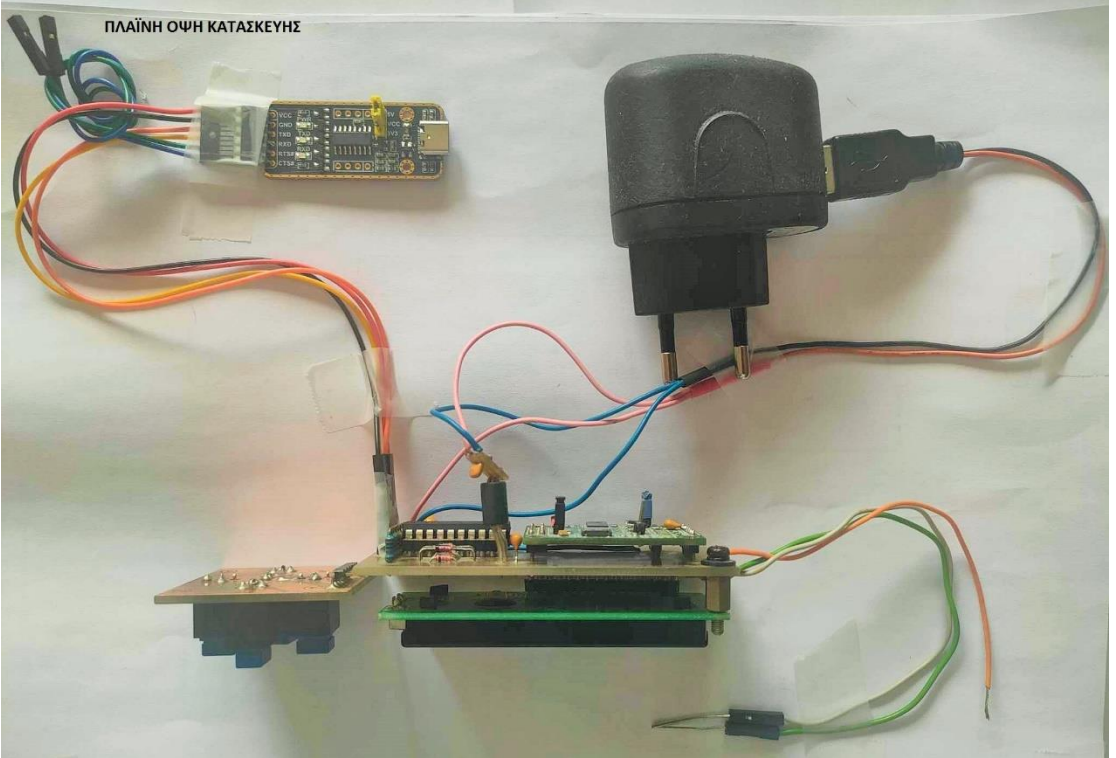
Πλακέτα κυκλώματος γεννήτριας ακουστικών συχνοτήτων

Φυσική μορφή κατασκευής

Παρακάτω παρουσιάζεται η φυσική μορφή της τελικής κατασκευής του συστήματος . Η κατασκευή της πλακέτας στήριξης του επεξεργαστή δεν περιλαμβάνει τα button επιλογής . Το κύκλωμα των button υλοποιείται σε μια ξεχωριστή δεύτερη πλακέτα ώστε να ώστε να βρίσκονται στο ίδιο 'υψόμετρο' με την μονάδα απεικόνισης Icd , ώστε σε μελλοντικό στάδιο η κατασκευή να μπορεί να τοποθετηθεί σε κουτί χωρίς πρόβλημα στην τοποθέτηση . στις εικόνες που ακολουθούν παρουσιάζεται η τελική κατασκευή από διάφορες οπτικές γωνίες .



ΠΛΑΪΝΗ ΟΨΗ ΚΑΤΑΣΚΕΥΗΣ



Κεφαλαίο 7^ο ΑΡΧΙΚΗ ΠΡΟΣΠΑΘΕΙΑ ΣΧΕΔΙΑΣΗΣ

& ΕΛΕΓΧΟΣ ΛΕΙΤΟΥΡΓΙΑΣ

Περιγραφή αρχικής προσπάθειας σχεδίασης

Πριν καταλήξουμε στην τελική μορφή της κατασκευής της γεννήτριας ακουστικών συχνοτήτων με χρήση του system On module AD9851 (SoM) , ακολουθήθηκε η λογική της εξ ολοκλήρου σχεδίασης του ηλεκτρονικού κυκλώματος , με σκοπό την μετέπειτα υλοποίησή του , σε μορφή τυπωμένου κυκλώματος Single Printed circuit Board (PCB) .

Η προσπάθεια αυτή αν και φιλόδοξη εγκαταλείφθηκε σχεδόν στα μέσα της σχεδίασης του κυκλώματος . Ο λόγος , ένα πλήθος ζητημάτων που δυσχέραναν το εγχείρημα αυτό , ενώ ανέβαζαν το κόστος , χωρίς όμως την εκ προοιμίων εγγύηση τις εύρυθμής λειτουργίας του . Τα ζητήματα αυτά παρουσιάζονται παρακάτω μαζί με το αρχικό σχεδιασμό .

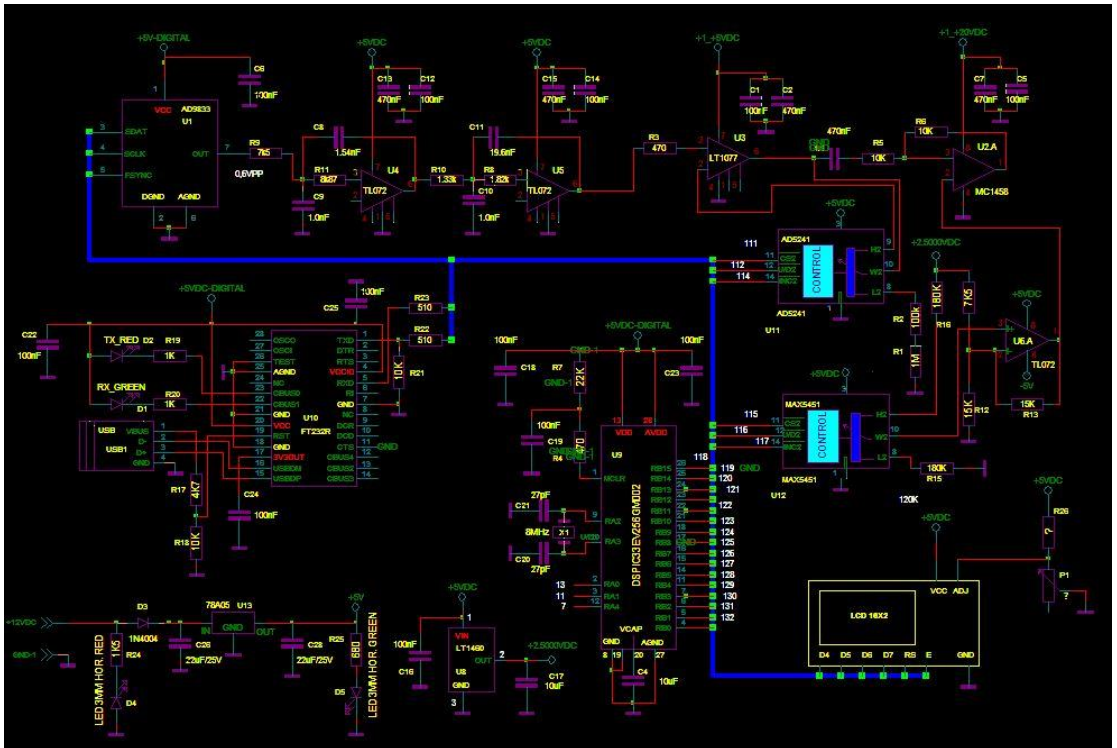
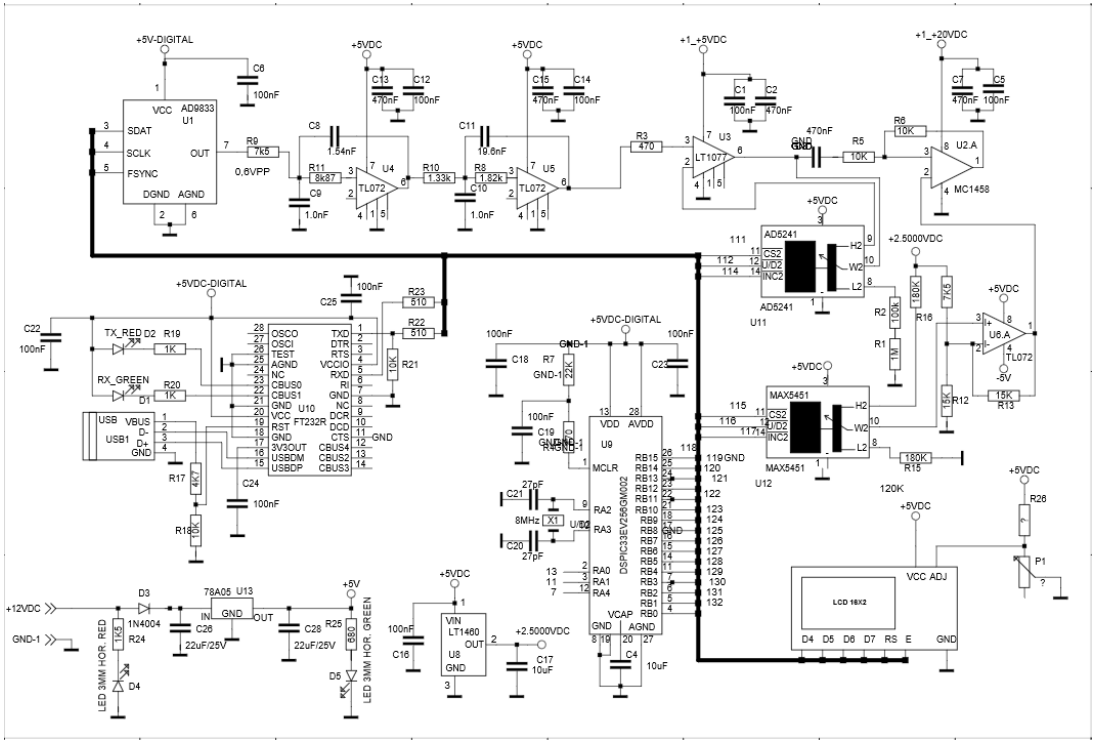
Αρχικά η έξοδος του AD9851 οδηγείται σε ένα χαμηλοπερατο ενεργό φίλτρο LPF active σχεδίασης Chebyshev 4^{ης} τάξης 2 βαθμίδων . Εν συνεχεία το σήμα εισέρχεται σε έναν μη-αναστρέφω ενισχυτή με gain regulator συνδεσμολογία αντιστάσεων και τέλος το εξερχόμενο ενισχυμένο πλέον σήμα , οδηγείται στην τελευταία βαθμίδα η οποία είναι ένας ενισχυτής μοναδιαίου κέρδους .

Σκοπός της βαθμίδας αυτής είναι το Vreference adjustment προκειμένου το ενισχυμένο σήμα να μην ψαλιδίζεται στην τελική έξοδο . Αυτή η βαθμίδα δυσχέρανε επίσης με την σειρά της την σχεδίαση καθώς το reference adjustment θα επιτυγχανόταν μέσω μια άλλη βαθμίδας συμμετρικής τροφοδοσίας +/-5 volt .

Έτσι όμως δημιουργείτο η αναγκαιότητα για ένα δεύτερο τροφοδοτικό με τάση 2,5 Volt , Έτσι ώστε η έξοδος της βαθμίδας του adjusytmnt να είναι ακριβώς στην μέση του +5 – 0 volt . Σκοπός ήταν η ρύθμιση του κέρδους καθώς και της τάσης αναφοράς να γίνονται με ψηφιακό τρόπο και όχι αναλογικά με χρήση ποτενσιόμετρων . σε αυτό το στάδιο τέθηκε το δίλημμα για το εάν θα χρησιμοποιούσαμε FET σε κύκλωμα ελέγχου αντίστασης από τάση με Voltage Control Resistor VCR την οποία τάση θα ρυθμίζαμε ψηφιακά με D/A . αυτή η ιδέα ΕΓ καταλήφθηκε σχεδόν άμεσα καθότι ο ρυθμός μεταβολής της τιμής της αντίστασης ήταν λογαριθμικός και όχι γραμμικός . Εν τέλει αποφασίστηκε η χρήση ψηφιακών ποτενσιόμετρων , τα οποία αποδείχτηκαν αρκετά θορυβώδη (σε σύγκριση με τα αναλογικά) γεγονός το οποίο θα δημιουργούσε το λιγότερο μια επιπλέον παράμετρο κατά το στάδιο τη σχεδίασης του τυπωμένου κυκλώματος , αυτή της γαλβανικής απομόνωσης των γειώσεων , όπως και την χρήση οπτοζεύκτη για το σήμα ελέγχου τους .

Επιπλέον να αναφέρουμε ότι το ιδανικό φίλτρο θα ήταν ένα ελλειπτικό LC παθητικό φίλτρο . Λογο δυσκολίας στην ακρίβεια που απαιτεί η κατασκευή ενός πηνίου , εγκαταλείφθηκε η ιδέα αυτή , οπότε και ακολουθήθηκε η χρήση ενός RC active Low Pas Filter με ανάδραση τοπολογίας Sallen–Key . Το Sallen–Key είναι μια ειδική περίπτωση της τοπολογίας φίλτρου VCVS (voltage-controlled voltage-source) στην οποία το κέρδος είναι

μοναδιαίο. Παρά το γεγονός ότι η χρήση φίλτρου RC δεν θεωρείται η ιδανική, προτιμήθηκε λόγω της ευκολίας και της μικρότερης ακρίβειας που απαιτούσαν τα υλικά. Το κόστος για αυτή την επιλογή ήταν απώλεια ισχύος (σε σχέση με ένα LC) καθώς και η λιγότερο κάθετη αποκοπή συχνοτήτων που παρουσιάζεται στο διάγραμμα bode σε σχέση πάντα με έναν παθητικό φίλτρο LC. Παρατηρήθηκε (OrCAD simulation) ότι η επιλογή της 4^{ης} τάξης ενώ αρχικά έγινε με γνώμονα την καλύτερη και πιο κάθετη απόκριση του φίλτρου, κόστιζε σημαντικά στην εξασθένηση της τάσης του σήματος η οποία ήδη ήταν επηρεασμένη από την επιλογή φίλτρου RC. Η σχεδίαση έγινε με το filter Pro της Texas Instruments όπου και δοκιμάστηκε η προτεινόμενη συνδεσμολογία με δύο τελεστικούς της ίδιας εταιρείας τον TL072 έναν γενικής χρήσης τελεστικό, η επιλογή του οποίου έγινε λόγω μονοπολικής τροφοδοσίας του χαμηλού κόστους. Δυστυχώς η εξασθένηση του σήματος ήταν εξαιρετικά υψηλή, όπως διαπιστώθηκε και σε προσομοίωση μέσω OrCAD P-Spice. Το προτεινόμενο κύκλωμα προσομοιώθηκε και με τον προτεινόμενο από την εταιρεία μοντέλο THP -210. Ένας πλήρως –διαφορικός τελεστικός ενισχυτής ακριβείας εξαιρετικά χαμηλού offset, χαμηλού θορύβου. Ο οποίος όμως απαιτεί υψηλή τάση σε μονοπολική τροφοδοσία 0-40 (V_{min} 3V V_{max} 36V) ή +/- 20 volt σε λειτουργία συμμετρικής τροφοδοσίας, δυστυχώς προ παρα το ότι η απόκριση του φίλτρου φαινόταν να είναι στα πλαίσια του επιθυμητού και προτεινόταν από την εταιρεία, δεν κατέστη δυνατό να βρεθεί PSpice model που να συνεργάζεται επιτυχώς με το OrCAD PSpice της Cadence. Επιπλέον ο εν λόγω τελεστικός ενισχυτής απαιτεί output common voltage control χαρακτηριστικό των πλήρως διαφορικών ενισχυτών (fully differential) δεδομένο το οποίο θα έκανε ακόμα πιο περιπλοκή και κοστοβόρα την σχεδίαση αφού θα εισήγαγε επιπλέον παραμέτρους. Τέλος και πριν εγκαταλειφθεί τελείως η προσπάθεια της εξ – ολοκλήρου σχεδίασης έγιναν δοκιμές με τον τελεστικό LT1011 analog devices και το σχέδιο και τις τιμές πυκνωτών και αντιστάσεων που είχε προτείνει η εφαρμογή της texas instrument. όμως οι προτεινόμενες τιμές διατίθεντο μόνο σε smd κι όχι σε DIP συσκευασίες. Για όλους αυτούς τους λόγους καθώς και λόγω του ότι ένας κρύσταλλος υφίσταται χρονική και θερμική γήρανση και έπρεπε να χρησιμοποιηθεί ταλαντωτής κρυστάλλου με αντιστάθμιση θερμοκρασίας (TCXO). Επίσης εξάρτημα επιφανειακής στήριξης αλλά και ESD sensitive.



Δοκιμή ορθής λειτουργίας Συγκριση με αναλογική γεννήτρια .

Γενικά

Προκειμένου να αποδειχθεί η ορθή λειτουργία της κατασκευής χρησιμοποιήθηκε μετρητικό όργανο παλμογράφου . επιπλέον έγινε και μια άτυπη σύγκριση με μια αναλογική γεννήτρια ακουστικών συχνοτήτων προκειμένου να αποδειχθεί η δυνατότητα της ακρίβειας στην ρύθμιση που μας παρέχει το DDS επίσης είναι εμφανή και το πλεονέκτημα του κατά πολύ μικρότερου μεγέθους του .

Μετρητικό όργανο παλμογράφου

Η δοκιμή της κατασκευής μας έγινε με τον παλμογράφο MSO-5104 της εταιρείας Rigol με τα εξής τεχνικά χαρακτηριστικά :

- Παλμογράφος μικτού σήματος 4 καναλιών με 16 ψηφιακά κανάλια.
- Εύρος ζώνης 100 MHz,
- Ρυθμός δειγματοληψίας σε πραγματικό χρόνο 8 GSa/s,
- Βάθος μνήμης 200 Mpts
- Ρυθμός λήψης έως και 500.000 κυματομορφές/δευτ

Ο MSO-5104 έρχεται με πιστοποίηση βαθμονόμησης

- certificate No : MSO5104241002101

Βαθμονομήθηκε βάση του Fluke 9500B Oscilloscope calibrator με

- Serial number 902251294
- Calibration Date 8/3/2022 Due to 17/12 / 24

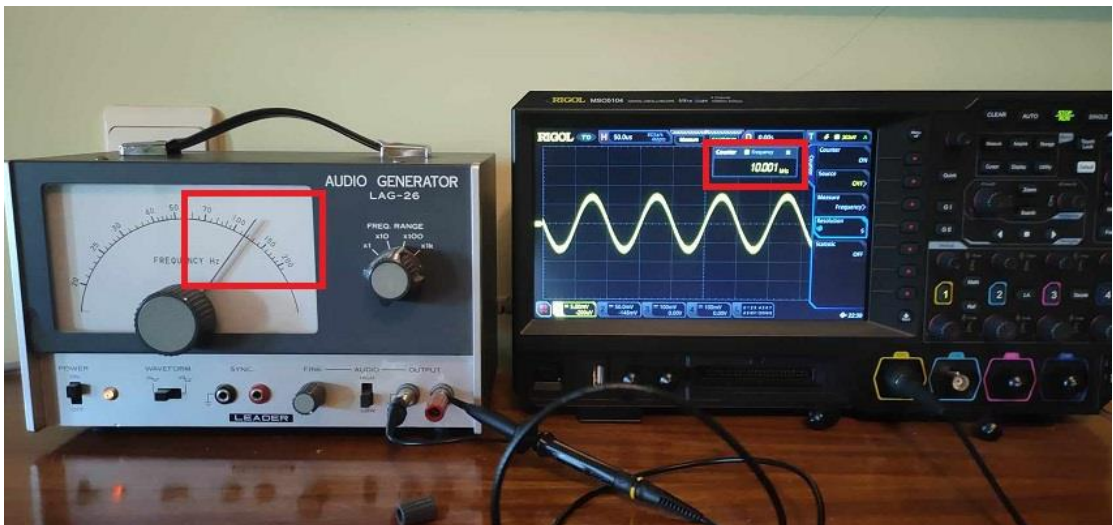
Πληροφορίες ιχνηλασιμότητας

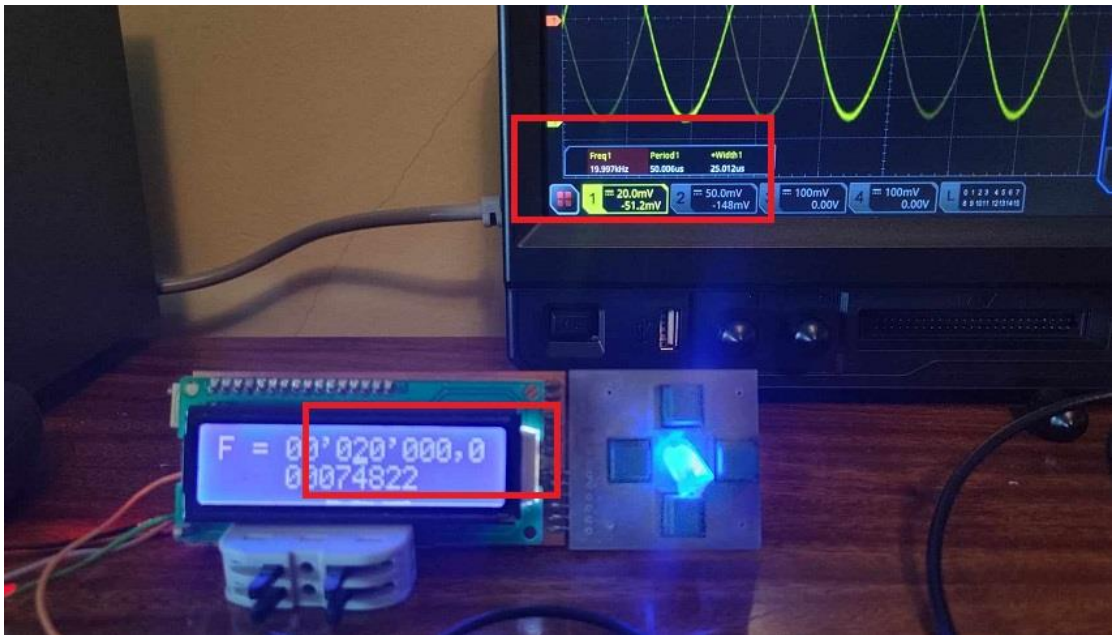
Η ιχνηλασιμότητα είναι στο Διεθνές Σύστημα Μονάδων (SI). Η RIGOL πιστοποιεί ότι το παραπάνω προϊόν πληροί ή υπερβαίνει τις δημοσιευμένες προδιαγραφές μετρήσεων και έχει βαθμονομηθεί χρησιμοποιώντας πρότυπα που μπορούν να εντοπιστούν στα Εθνικά Ινστιτούτα Μετρολογίας (NIST, NIM, NPL, PTB). Οι πολιτικές και οι διαδικασίες που χρησιμοποιούνται στις εγκαταστάσεις της RIGOL βασίζονται στο ISO9001 & ISO/IEC 17025:2017.

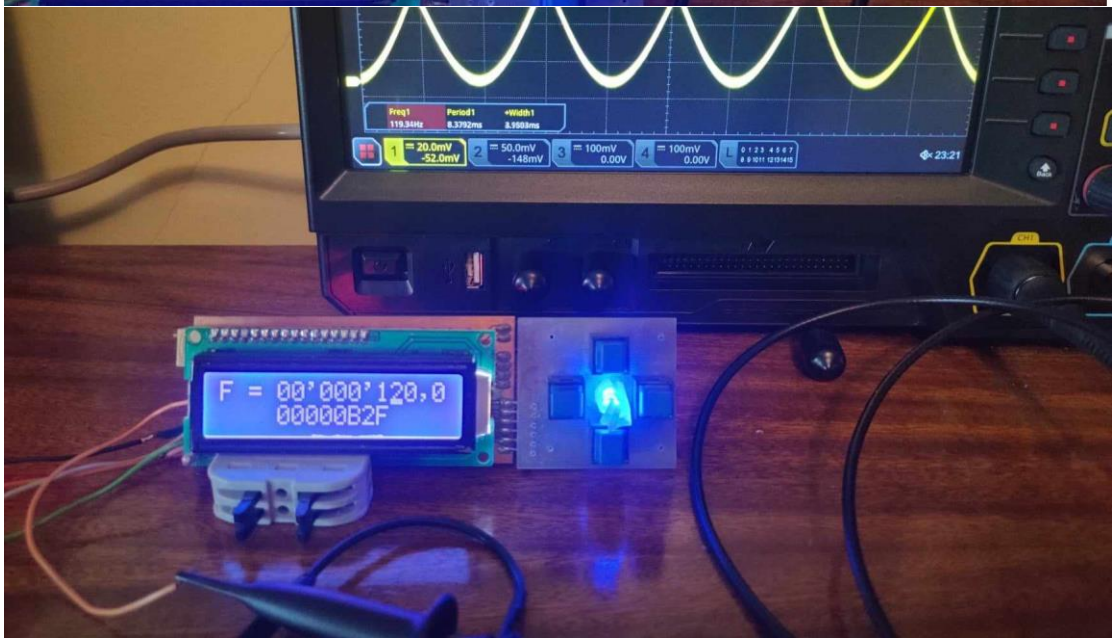
Δοκιμές

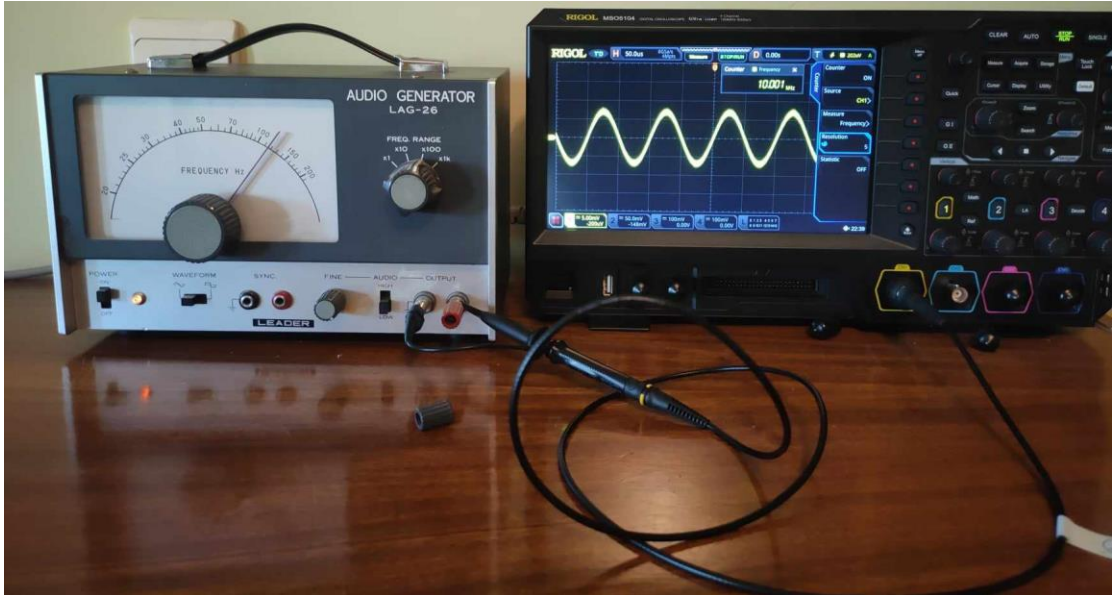
Παρακάτω απεικονίζονται μερικές φωτογραφίες – δείγμα των δοκιμών καθώς και συγκριση της κατασκευής μας με την αναλογική γεννήτρια συχνοτήτων Model: Audio

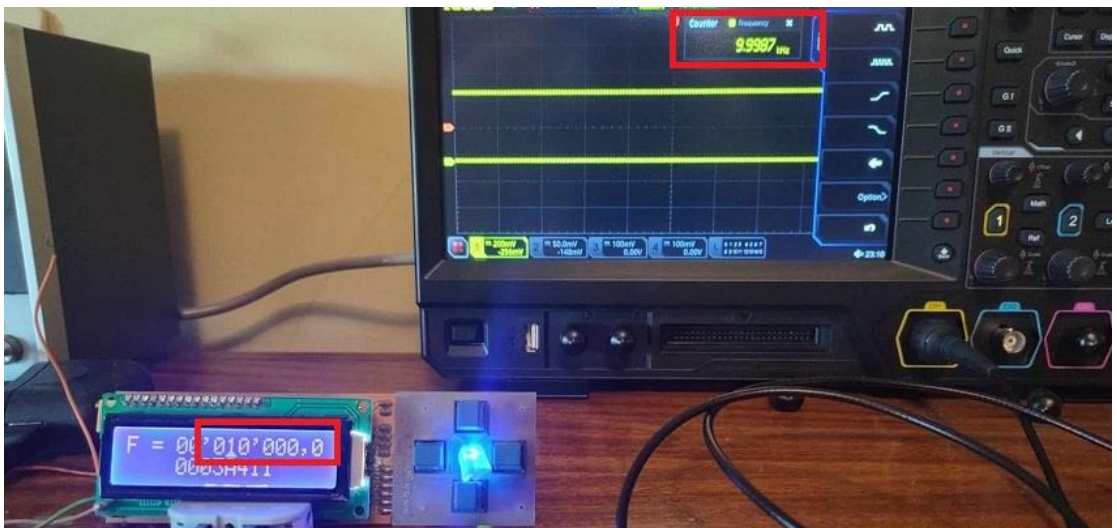
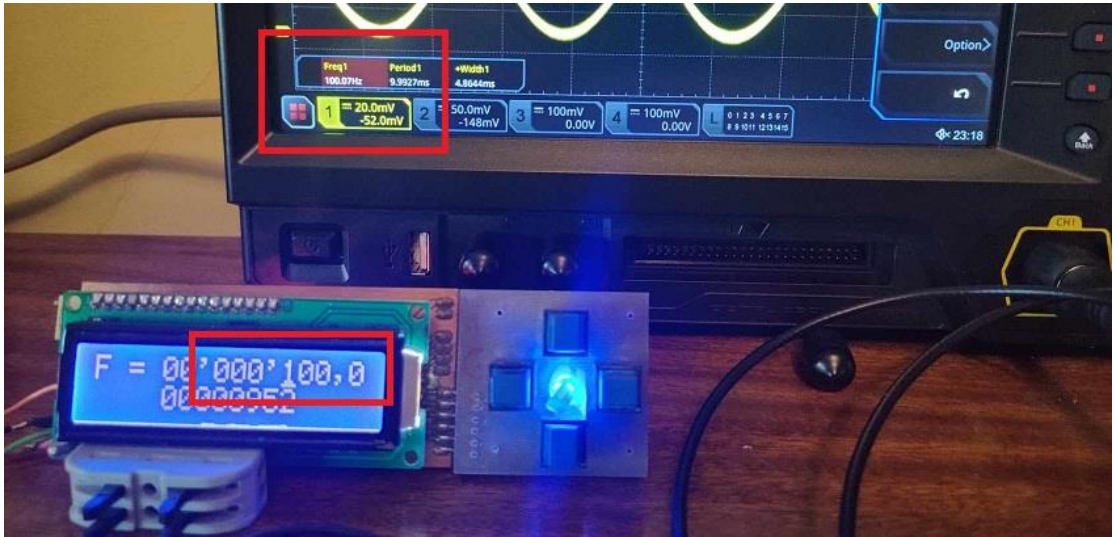
Generator LAG-26 - Leader Electronics Corp κατασκευής 1980 .











Συμπεράσματα

Παρατηρούμε εκτός από την ορθή λειτουργία της κατασκευής μας ότι η δημιουργία συχνοτήτων μέσω της ψηφιακής σύνθεσης είναι περισσότερο ακριβής σε σχέση με μια αναλογική γεννήτρια η οποία για να παράξει την συχνότητα των 10 KHz ο αναλογικός δείκτης χρειάζεται να ρυθμιστεί με μεγαλύτερη ένδειξη συχνότητας . Επιπλέον παρά το γεγονός ότι και η παραγόμενη από το DDS συχνότητα παρουσιάζει απόκλιση αυτή είναι σαφώς μικρότερη από αυτή που φαίνεται να υπάρχει στην αναλογική γεννήτρια . Τέλος η διαφορά μεγέθους είναι οφθαλμοφανής .

Μελλοντικές εφαρμογές

Καθώς η επιστήμη της ηλεκτρονικής αλλά και οσες επιστήμες προκύπτουν από αυτήν , όπως αυτοματισμοί τηλεπικοινωνίες κλπ βασίζονται και χρησιμοποιούν τις συχνότητες αντιλαμβανόμαστε ότι οι πιθανές ενδεχόμενες μελλοντικές εφαρμογές που μπορούν να προκύψουν από την εν λόγω εργασία είναι δυνητικά πολυάριθμες . Άλλο ένα μελλοντικό πεδίο θα μπορούσε να είναι η σύγκριση της εν λόγω κατασκευής με υλοποίηση DDS σε FPGA ή ακόμα και με DDS υλοποιημένο με κώδικα σε μικροελεγκτή . Τέλος η διασύνδεση με τον υπολογιστή μέσω usb to Uart για την οποία αν και έγινε προσπάθεια δεν επετεύχθη με επιτυχία .

ΠΑΡΑΡΤΗΜΑ

ΚΩΔΙΚΑΣ

Include: LCD

Include: DDS

Include: USART

Include: IRq

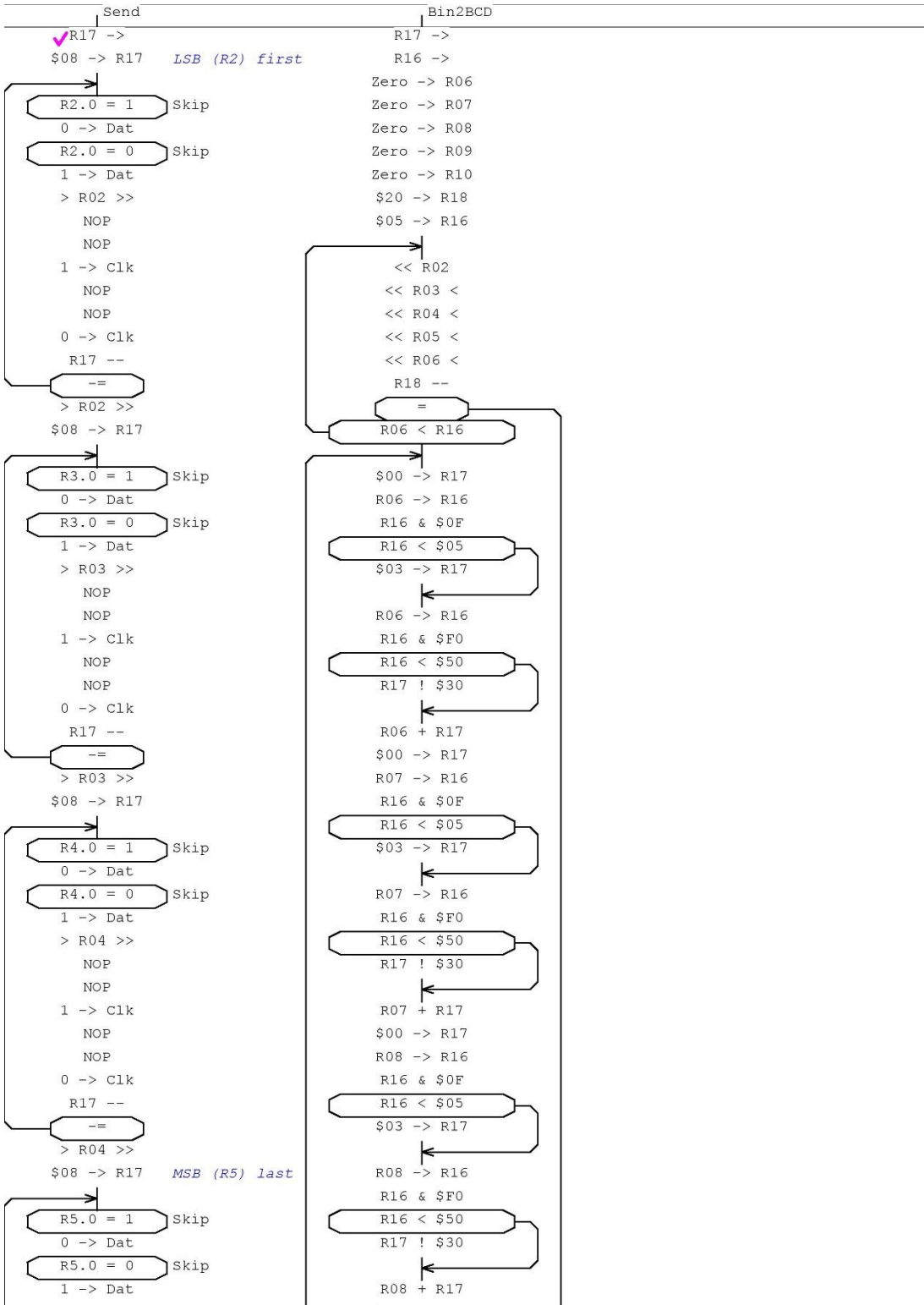
```

    | Reset
$58 -> OscCal
| SP
$2A -> MCUCR Idle
$FF -> DDRB Port = Out
$30 -> PortB
$62 -> DDRD IOOIIIOI
$1F -> PortD
$00 -> R27 X = $00xx
$00 -> R29 Y = $00yy
R29 -> Zero Zero = $00
$00 -> TxCnt
$00 -> State State = 0
$01 -> Ctrl1 RefClk x 6
    LCD_Init
    DDS_Init
$00 -> R16
$0A -> R17 Clear 10 Bytes
$60 -> R28 Y=$0060
| USART
$C0 -> R16
R16 -> EIFR Clr Int0 & Int1 flag
R16 -> GIMSK Int1 & Int1 on neg edge
1 -> I
| Sleep

```

```

    | FMul
■ 0, 0, 0, 0, 0, 0, 0, 0
■ 9, 0, 6, 8, 3, 2, 0, 0
■ 8, 1, 2, 7, 7, 4, 0, 0
■ 7, 2, 8, 5, 1, 7, 0, 0
■ 7, 3, 4, 4, 5, 9, 0, 0
■ 6, 4, 0, 3, 9, 1, 1, 0
■ 5, 5, 6, 1, 3, 4, 1, 0
■ 5, 6, 2, 0, 7, 6, 1, 0
■ 4, 7, 8, 8, 0, 9, 1, 0
■ 3, 8, 4, 7, 4, 1, 2, 0
    | BMul
■ 0, 0, 0, 0, 0, 0, 0, 0
■ 5, 9, 0, 9, 1, 4, 0, 0
■ 0, 9, 1, 8, 3, 8, 0, 0
■ 5, 8, 2, 7, 5, 2, 1, 0
■ 0, 8, 3, 6, 7, 6, 1, 0
■ 5, 7, 4, 5, 9, 0, 2, 0
■ 0, 7, 5, 4, 1, 5, 2, 0
■ 6, 6, 6, 3, 3, 9, 2, 0
■ 1, 6, 7, 2, 5, 3, 3, 0
■ 6, 5, 8, 1, 7, 7, 9, 0
    | Pos
■ $00, $84, $85, $87
■ $88, $89, $8B, $8C
■ $8D, $8F
    | Msg
■ "F = 00'000'000,0"
```

```

> R05 >>
NOP
NOP
1 -> Clk
NOP
NOP
0 -> Clk
R17 --
--
> R05 >>
$08 -> R17  R1 at the end
R1.0 = 1 Skip
0 -> Dat
R1.0 = 0 Skip
1 -> Dat
> R01 >>
NOP
NOP
1 -> Clk
NOP
NOP
0 -> Clk
R17 --
--
> R01 >>
1 -> Upd
NOP
NOP
NOP
NOP
0 -> Upd
-> R17
RET

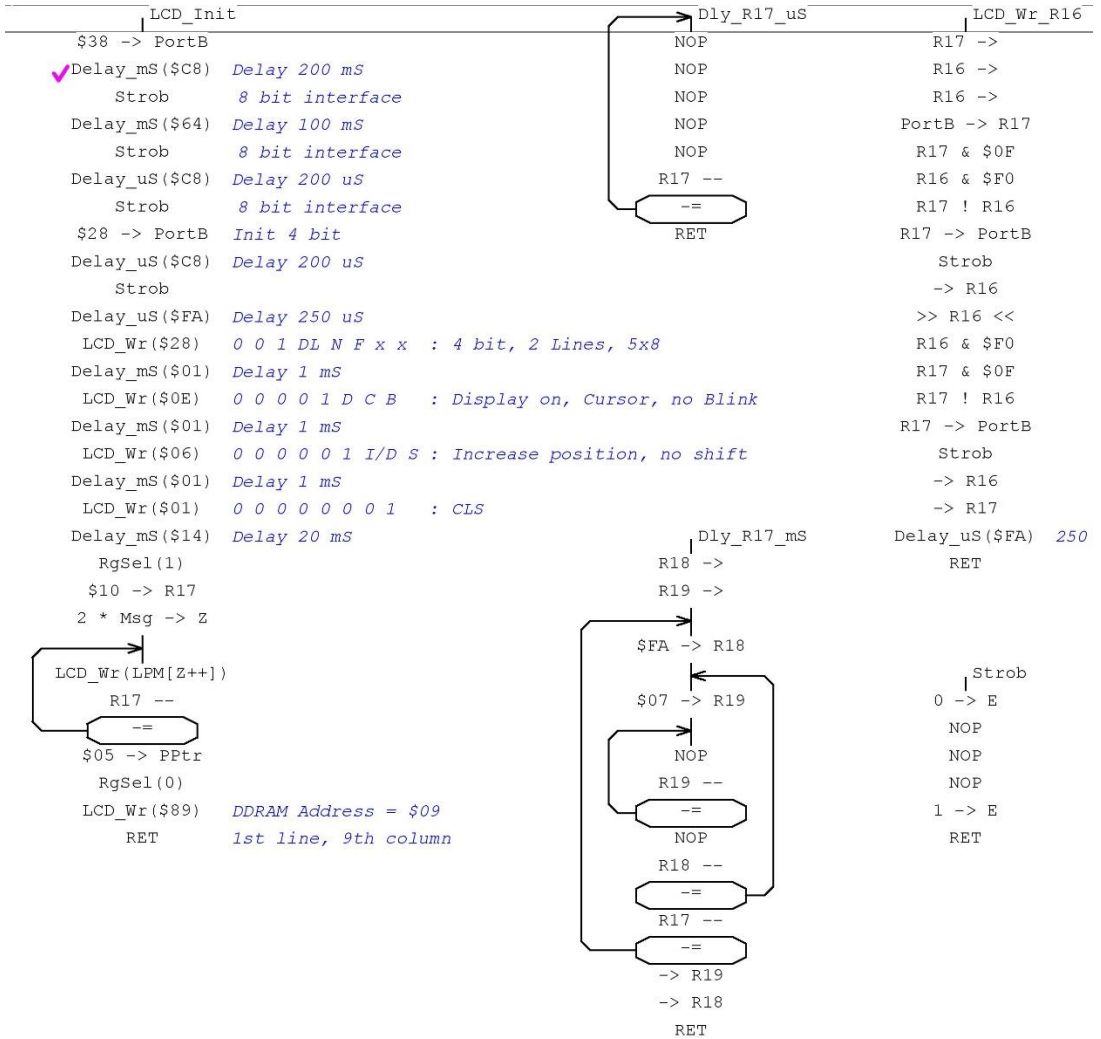
```

```

$00 -> R17
R09 -> R16
R16 & $0F
R16 < $05
$03 -> R17
R09 -> R16
R16 & $F0
R16 < $50
R17 ! $30
R09 + R17
$00 -> R17
R10 -> R16
R16 & $0F
R16 < $05
$03 -> R17
R10 -> R16
R16 & $F0
R16 < $50
R17 ! $30
R10 + R17
<< R02
<< R03 <
<< R04 <
<< R05 <
<< R06 <
<< R07 <
<< R08 <
<< R09 <
<< R10 <
R18 --
--
$6A -> R28  Y = $0069
R06 -> R16
R06 -> R17
>> R17 <<
R16 & $0F
R17 & $0F
R16 -> [--Y]
R17 -> [--Y]
R07 -> R16
R07 -> R17
>> R17 <<
R16 & $0F
R17 & $0F
R16 -> [--Y]
R17 -> [--Y]
R08 -> R16
R08 -> R17
>> R17 <<
R16 & $0F
R17 & $0F

```

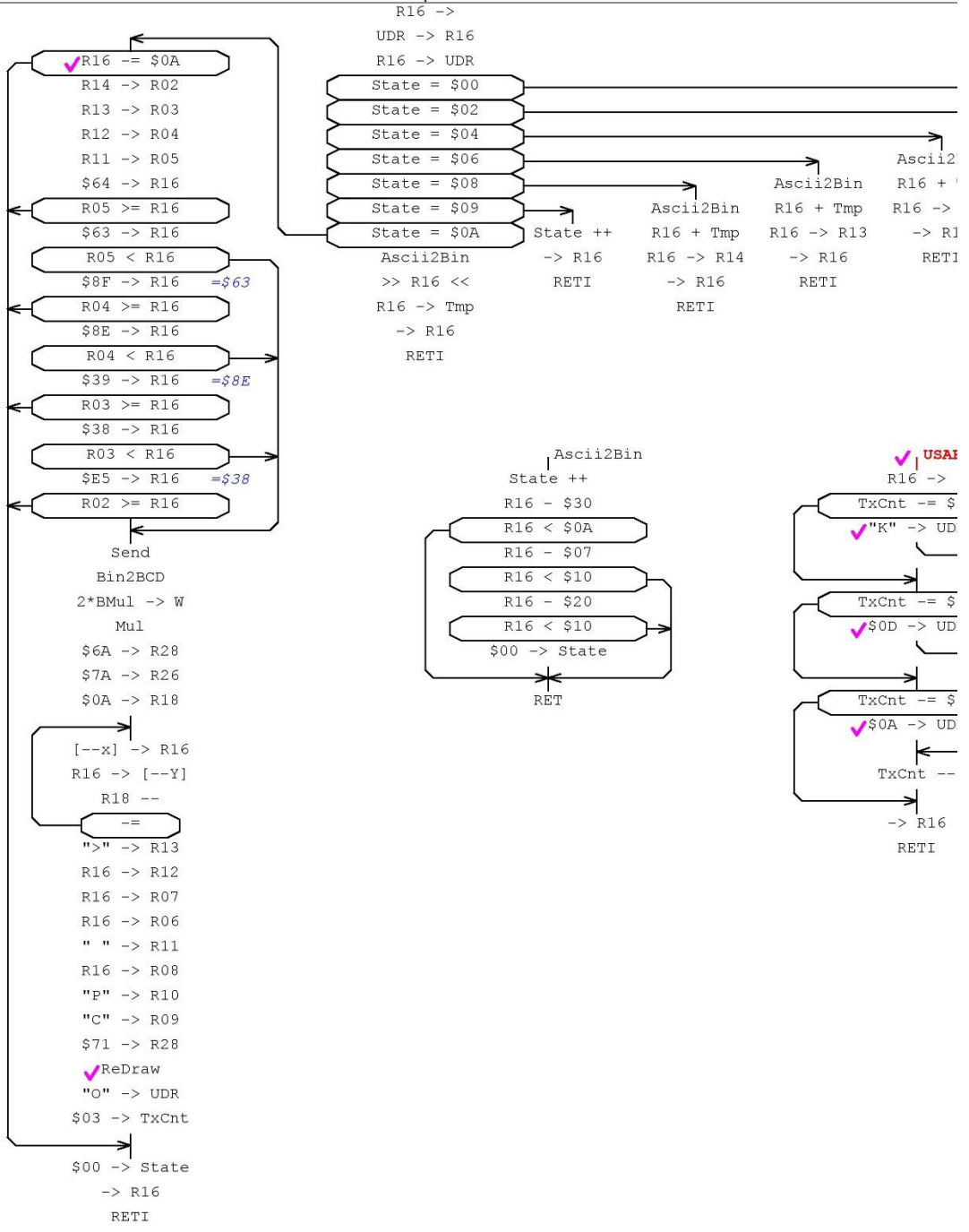
```
R16 -> [--Y]
R17 -> [--Y]
R09 -> R16
R09 -> R17
>> R17 <<
R16 & $0F
R17 & $0F
R16 -> [--Y]
R17 -> [--Y]
R10 -> R16
R10 -> R17
>> R17 <<
R16 & $0F
R17 & $0F
R16 -> [--Y]
R17 -> [--Y]
-> R16
-> R17
RET
```

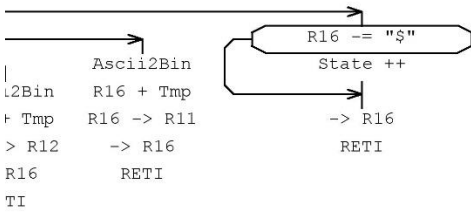


	Hex	ReDraw	Delay_ms(time)
	R17 ->	RgSel(0)	R17 ->
	\$30 -> R17	LCD_Wr(\$84)	time -> R17
	\$0F -> R16	RgSel(1)	Dly_R17_mS
	R2 -> R6	[Y++] -> R16	-> R17
	R6 & R16	R16 + \$30	
	R6 + R17	LCD_Wr_R16	
	R2 -> R7	[Y++] -> R16	
	>> R7 <<	R16 + \$30	Delay_us(time)
	R7 & R16	LCD_Wr_R16	R17 ->
	R7 + R17	LCD_Wr("")	time -> R17
	R3 -> R8	[Y++] -> R16	Dly_R17_us
	R8 & R16	R16 + \$30	-> R17
	R8 + R17	LCD_Wr_R16	
	R3 -> R9	[Y++] -> R16	
	>> R9 <<	R16 + \$30	
	R9 & R16	LCD_Wr_R16	
	R9 + R17	[Y++] -> R16	RgSel(val)
	R4 -> R10	R16 + \$30	val -> RS
0 us	R10 & R16	LCD_Wr_R16	NOP
	R10 + R17	LCD_Wr("")	NOP
	R4 -> R11	[Y++] -> R16	
	>> R11 <<	R16 + \$30	
	R11 & R16	LCD_Wr_R16	LCD_Wr(val)
	R11 + R17	[Y++] -> R16	val -> R16
	R5 -> R12	R16 + \$30	LCD_Wr_R16
	R12 & R16	LCD_Wr_R16	
	R12 + R17	[Y++] -> R16	
	R5 -> R13	R16 + \$30	
	>> R13 <<	LCD_Wr_R16	
	R13 & R16	LCD_Wr(",")	
	R13 + R17	[Y++] -> R16	
	\$07 -> R17	R16 + \$30	
	\$3A -> R16	LCD_Wr_R16	
	R06 < R16	RgSel(0)	
	R6 + R17	LCD_Wr(\$C4)	
	R07 < R16	✓RgSel(1)	
	R7 + R17	LCD_Wr(R13)	
	R08 < R16	LCD_Wr(R12)	
	R8 + R17	LCD_Wr(R11)	
	R09 < R16	LCD_Wr(R10)	
	R9 + R17	LCD_Wr(R9)	
	R10 < R16	LCD_Wr(R8)	
	R10 + R17	LCD_Wr(R7)	
	R11 < R16	LCD_Wr(R6)	
	R11 + R17	RgSel(0)	
	R12 < R16	2*Pos -> Z	
	R12 + R17	R30 + PPTr	
	R13 < R16	R31 + Zero +	
		LCD_Wr(LPM[Z])	
		RET	

R13 + R17
-> R17
RET

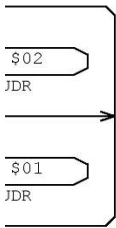
USART_Receive_Complete





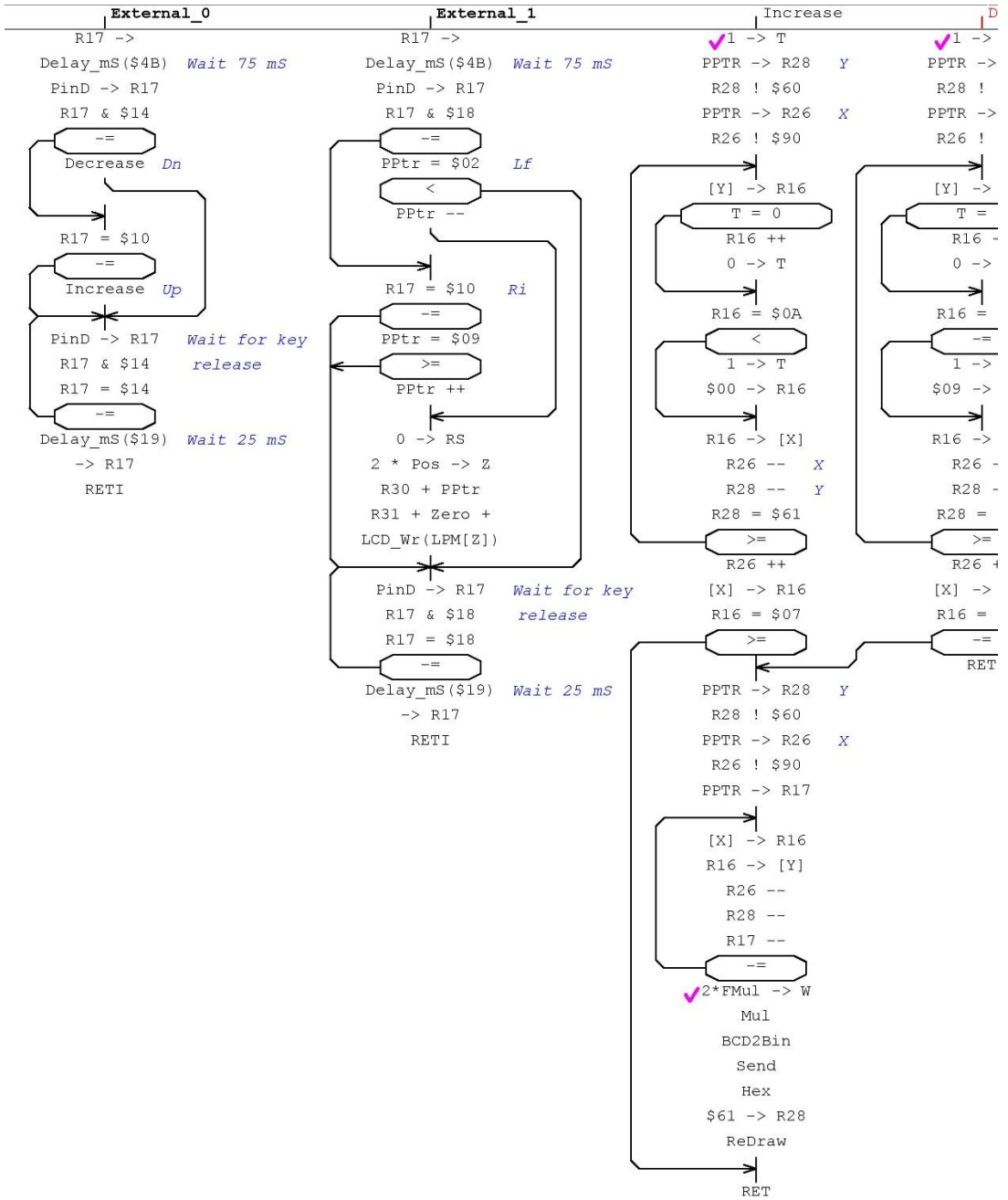
ART_Transmit_Complete

>



--

5



Decrease

```
> T
-> R28 Y
! $60
-> R26 X
! $90
|
> R16
= 0
--
> T
|
= $FF
=
> T
> R16
|
> [X]
-- X
-- Y
= $61
=
++
> R16
= $09
=
IT
```

ΠΗΓΕΣ

- Chapter 1 Oscillations David Morin, morin@physics.harvard.edu
- Frequency Measurement Michael A. Lombardi National Institute of Standards and Technology 1999 by CRC Press LLC
- <https://www.geeksforschools.org/oscillation/>
- <https://www.pasco.com/>
- «A Technical Tutorial on Digital Signal Synthesis» <https://www.analog.com/>
- «Εισαγωγή στους μικροελεγκτες» Δρ. Σταμάτης Αλατσαθανός 2007 Εκδ. αυτοέκδοση
- «Ψηφιακή σχεδίαση με την γλώσσα VHDL αρχες και πρακτικές» Δρ. Δ. Πογαριδης Εκδ. Β. Γκιούρδας Εκδοτική
- AVR Instruction Set Pdf .
- HD44780U (LCD-II) (Dot Matrix Liquid Crystal Display Controller/Driver) Pdf
- SoM AD9851 user manual Pdf
- ATiny2313 user manual Pdf
- CMOS 180 MHz DDS/DAC Synthesizer AD9851 datasheet pdf

Αναφορες

1. International Organization for Standardization (ISO), *International Vocabulary of Basic and General Terms in Metrology (VIM)*, Geneve, Switzerland, 1993.
2. ISO/IEC Guide 25, *General Requirements for the Competence of Calibration and Testing Laboratories*, International Organization for Standardization (ISO), 1990.
3. ANSI/NCSL Z540-1-1994, *Calibration Laboratories and Measuring and Test Equipment – General Requirements*, American National Standards Institute, 1994.
4. M. A. Lombardi, An introduction to frequency calibration. Part I, *Cal Lab Int. J. Metrol.*, January- February, 17-28, 1996.
5. B. N. Taylor and C. E. Kuyatt, Guidelines for evaluating and expressing the uncertainty of NIST measurement results, *Natl. Inst. of Stan. and Technol. Tech. Note 1297*, 1994.
6. IEEE, IEEE Standard Definitions of Physical Quantities for Fundamental Frequency and Time Metrology, *IEEE 1139*, Piscataway, NJ, 1988.

7. D. W. Allan, H. Hellwig, P. Kartaschoff, J. Vanier, J. Vig, G. M. R. Winkler, and N. F. Yannoni, Standard Terminology for Fundamental Frequency and Time Metrology, *Characterization of Clocks and Oscillators — Natl. Inst. of Stan. and Technol. Tech. Note 1337*, 1990, 139-145.
8. J. Jespersen, Introduction to the time domain characterization of frequency standards, *Proc. 25th Annu. Precise Time and Time Interval (PTTI) Meeting*, Pasadena, CA, December 1991, 83-102.
9. S. R. Stein, Frequency and time — their measurement and characterization, *Precision Frequency Control*, Vol. 2, E. A. Gerber and A. Ballato, Eds., Academic Press, New York, 1985, 191-232.
10. D. A. Howe, D. W. Allan, and J. A. Barnes, Properties of signal sources and measurement methods, *Characterization of Clocks and Oscillators*, D. B. Sullivan, D. W. Allan, D. A. Howe, and F. L. Walls, Eds., *Natl. Inst. of Stan. Technol. Tech. Note 1337*, 1990, 14-60.
11. W. A. Marrison, The evolution of the quartz crystal clock, *Bell Systems Tech.*, 27(3), 510-588, 1948.
12. J. R. Vig, Introduction to Quartz Frequency Standards, *Army Research and Development Technical Report*, SLCET-TR-92-1, October 1992.
13. F. L. Walls and J. Gagnepain, Environmental sensitivities of quartz oscillators, *IEEE Trans. Ultrason., Ferroelectr., Freq. Control*, 39, 241-249, March 1992
14. W. M. Itano and N. F. Ramsey, Accurate measurement of time, *Sci. Am.*, 269(1), 56-65, 1993.

